

AMPLIFICADOR DE BAJO RUIDO EN VLSI

**AUTOR: HELIO ANGEL FORERO MORA
DIRECTOR: GERMÁN YAMHURE KATTAH**

**TRABAJO DE GRADO PARA OPTAR POR EL
TITULO DE INGENIERO ELECTRÓNICO**

**PONTIFICIA UNIVERSIDAD JAVERIANA
FACULTAD DE INGENIERÍA ELECTRÓNICA
DEPARTAMENTO DE INGENIERÍA
BOGOTÁ D.C.
2015**

Índice general

1. Introducción	3
2. Marco Teórico	5
2.1. Señales Electromiográficas	5
2.1.1. El Origen de las Señales Bioeléctricas	6
2.1.2. Características Eléctricas Relevantes de las Señales Electromiográficas	6
2.2. Ruido y Figura de Ruido	6
2.2.1. Ruido Térmico	7
2.2.2. Ruido <i>flicker</i> o $1/f$	7
2.3. Arquitecturas de Reducción de Ruido	8
2.3.1. Técnica de Auto-Zero	8
2.3.2. Técnica de Correlated Double Sampling	9
2.3.3. Técnica de <i>Chopping</i>	10
2.3.4. Estado del Arte en técnicas de reducción de ruido	11
2.3.5. Figura de Ruido	12
2.4. Amplificadores Diferenciales	12
2.4.1. Codo de Ruido	13
3. Objetivo del Proyecto	14
3.1. Especificaciones a lograr	14
3.2. Metodología	15
4. Desarrollo del proyecto	17
4.1. ¿Por qué Escoger <i>Chopper</i> ?	17
4.2. Diagrama de Bloques Ideal	18
4.2.1. Bloque Modulador y Demodulador	18
4.2.2. Bloque del Amplificador Diferencial	18
4.2.3. Bloque de Filtrado	19
4.3. Esquemático de la solución	19
4.4. La Polarización y el Ruido	20
4.5. Punto Óptimo de Trabajo	23
4.6. Switches: Esquemático	24
4.7. Polarización del Amplificador	26
4.8. Bode del Amplificador	28
4.9. Sobre la Simulación con <i>Chopper</i>	31
4.10. Influencia de la frecuencia de <i>Chopper</i>	31

4.11. Bode del amplificador con <i>Chopper</i>	32
4.12. Pasos Previos al <i>Layout</i>	36
4.13. Sobre el Matching, el Fingering y el Centroide Común	37
4.14. <i>Layout</i> de los bloques del Amplificador	39
4.15. <i>Layout</i> del Amplificador Completo	42
4.16. Simulaciones y Resultados	44
5. Análisis de resultados	47
6. Conclusiones y Recomendaciones	50
6.1. Conclusiones	50
6.2. Recomendaciones	52
7. Anexos	53

Capítulo 1

Introducción

El presente trabajo de grado plantea el diseño y comprobación de un amplificador de bajo ruido en VLSI con tecnología CMOS de 0.6 μ m del fabricante XFAB®. Primeramente se introducirá al lector con el marco teórico en los conceptos necesarios para la comprensión del problema a resolver, haciendo énfasis en el ruido denominado “flicker” o $1/f$, que es el de mayor influencia en baja frecuencia y que es justamente donde se enmarca este proyecto. Las técnicas de disminución de este ruido son discutidas en el marco teórico, a profundidad, brindado al lector los conceptos necesarios para justificar las escogencia de la técnica de Chopper.

Se describe luego el objetivo principal, seguido de los objetivos específicos, que son base para el desarrollo del proyecto. Junto con estos se describen las especificaciones a alcanzar y la metodología de diseño con la respectiva justificación teórica usada para alcanzar los objetivos. Se continua con el desarrollo del proyecto que inicia comparando las diferentes topologías de donde finalmente se selecciona la técnica de “Chopper” y en especial el esquema implementado en [1], el cual, se modifica de acuerdo a los resultados de la caracterización y necesidades de la tecnología. Este esquema modificado se diseña e implementa tanto a nivel de esquemático como de *Layout*.

Para definir los criterios de diseño, se caracterizan primero los parámetros relevantes de la tecnología, como el ruido y ganancia de los transistores, en función de la región de trabajo y el punto de operación, de la frecuencia, etcétera. Una vez implementado el circuito se realizan las simulaciones que demuestren la consistencia entre las especificaciones propuestas, las simuladas y las reportadas en la literatura, esta comparación se realiza en el análisis de resultados. Se finaliza con las conclusiones y recomendaciones, haciendo énfasis en lo logrado en el proyecto, los datos que pueden servir a futuras implementaciones y las recomendaciones a quienes deseen trabajar con esta tecnología en el servidor de la Pontificia Universidad Javeriana.

La aplicación del proyecto consiste en la medición de señales bioelectricas, más específicamente las miográficas y miocardiográficas, que se ven fuertemente afectadas por el ruido $1/f$ propio de los MOSFETs, por compartir su ancho de banda. Las características más relevantes de estas señales se describen en el marco teórico y son la base para definir las especificaciones a lograr, que se describen en la dentro del capítulo de objetivos del proyecto.

Para finalizar esta sección y entrar en el tema en rigor, se le advierte al lector que se utilizan

muchas gráficas de los datos obtenidos, tanto para justificar las decisiones de diseño e implementación, como para mostrar los resultados obtenidos y que las mismas en formato impreso pueden no ser claras o suficientemente visibles, pero fueron creadas -en su gran mayoría- en formatos que permiten ampliarlas digitalmente sin perder resolución. Lo mismo es cierto para las figuras de las implementaciones de *Layout*, para comodidad del lector.

Capítulo 2

Marco Teórico

En este capítulo se describen los conceptos requeridos para comprender, de forma simple, el problema a resolver en este proyecto. Se brindan también insumos para comprender los objetivos específicos y el desarrollo del proyecto, desde las señales que se pretenden medir y mostrando las dificultades que estas presentan. Seguido se explican los conceptos necesarios sobre el ruido, su relevancia y las técnicas que se utilizan para mitigarlo, pues estas son necesarias para la adquisición de las señales de interés. Finalmente se discuten las ventajas y características de los amplificadores diferenciales, que introducen conceptos usados en el desarrollo del proyecto para llegar a la solución o para definir parámetros relevantes del proyecto.

2.1. Señales Electromiográficas

En esta sección se describen las características de las señales electromiográficas: que son y, de forma general, como se producen. También se discute la relevancia de medirlas adecuadamente y los posibles usos de estas mediciones -especialmente en el área médica-. Finalmente se explica como algunas de estas características crean problemas para su medición y adecuada interpretación.

Una señal es un fenómeno que contiene información. En el caso de las señales biológicas, estas contienen información sobre el sistema que se está investigando, que en el caso de este proyecto, son las señales musculares -o miográficas-. Estas señales contienen información sobre la activación muscular. Como caso especial están las señales del corazón -cardiográficas o miocardiográficas- que son de altísima relevancia para el personal médico, pues la información que éstas contienen ayuda a diagnosticar problemas no solo el sistema circulatorio, si no también varios problemas y desordenes como los producidos por el estrés.

Dado que la información encontrada en estas señales -las miográficas- puede ser utilizada para tratar pacientes o controlar dispositivos como extremidades prostéticas robóticas (vea [2]), es necesario no solamente adquirir la señal, si no hacerlo con suficiente resolución, bajos niveles de ruido y -dependiendo de la aplicación- de forma continua. Todo esto es necesario para obtener información que se encuentra en la señal originalmente adquirida que, sin procesarla, no es posible obtener.

2.1.1. El Origen de las Señales Bioeléctricas

La información expuesta en esta sección es tomada, traducida y resumida de [3], además de algunas otras fuentes debidamente citadas en el contexto que se usan, se hace esta aclaración para evitar citar al mismo autor cada párrafo.

Las señales bioeléctricas son únicas en los sistemas biomédicos, las mismas son generadas por células nerviosas y células musculares. Su origen está en el potencial membranal, que -bajo ciertas circunstancias- puede ser excitado para generar potencial de acción. En sistemas en los que la medición se realiza con electrodos superficiales, se mide el campo eléctrico generado por la acción de varias células, distribuidas en la vecindad del electrodo. Estas son probablemente las bioseñales más importantes y esto se debe a que permiten estudiar y monitorear las funciones principales de un sistema.

2.1.2. Características Eléctricas Relevantes de las Señales Electromiográficas

Las señales miográficas han sido estudiadas por más de medio siglo y se han hecho observaciones de sus características generales, que dependiendo de la aplicación más específica, tienen diferentes parámetros e incluso se encontraron diferencias sobre los datos más relevantes para este proyecto: magnitud y rango en frecuencia.

Por ejemplo, Yang et al [1] dice que las señales miocardiográficas (ECG) tienen una magnitud menor a 5 mV y un rango en frecuencia entre 0.1 y 150 Hz, mientras que Bronzino en [3] (vea capítulo 52) dice que varían de 1-10 mV, con un rango de frecuencia entre 0.05 y 100 Hz, y los de alta frecuencia llegan hasta 1 kHz. Además si se habla de señales musculares (EMG) con electrodos superficiales (SEMG), cambian los parámetros dependiendo del tipo de músculo, aunque -en general- varían entre 50 μ V y 5 mV, con un rango en frecuencia entre 0.01 y 500 Hz.

Como el artículo de Yang y compañía ([1]) es la implementación base sobre la que se realiza el proyecto y teniendo en cuenta que la diferencia de los rangos depende de la aplicación, se llega a un compromiso. Se considera para el proyecto la magnitud de la señal entre 50 μ V y 10 mV con un rango en frecuencia entre 0.05 y 150 Hz.

Ahora estos valores tienen ciertas implicaciones en la medición de estas señales. Por su voltaje máximo de 10 mV, requieren amplificación para ser observables con instrumentos normales, especialmente porque el piso de ruido ambiente puede superar este valor. Por el rango de frecuencia en que se encuentran pueden ser fácilmente contaminadas por el ruido de la línea y el ruido $1/f$ que se discute en la sección 2.2.2. Por otra parte las señales adquiridas de los electrodos tienen *offset*, que puede variar incluso en ± 100 mV según [1]. Estos valores de *offset* pueden saturar un amplificador diseñado para amplificar señales de 10 mV.

2.2. Ruido y Figura de Ruido

En esta sección se describen los conceptos relevantes del ruido, sus categorías y las características de cada una. Después de conocer las características de básicas del ruido, se discuten las arquitecturas que han sido usadas a lo largo de los años para reducir el ruido introducido por

los circuitos, especialmente los amplificadores. Finalmente se introduce el concepto de figura de ruido que es el parámetro objetivo a mejorar del proyecto. Empecemos entonces por describir los ruidos relevantes para el proyecto y sus características.

2.2.1. Ruido Térmico

El ruido en una resistencia es primordialmente el resultado del movimiento aleatorio de electrones debido a efectos térmicos, a este tipo de ruido se le denomina ruido térmico o Johnson -por su descubridor J. B. Johnson-. Este ruido puede ser caracterizado por su PSD (densidad espectral de potencia por sus siglas en inglés) de la siguiente forma:

$$V_R^2(f) = 4kTR \quad [V^2/Hz] \quad (2.1)$$

Como se puede notar de la ecuación 2.1, la potencia de este ruido no cambia con la frecuencia, por esto, se encuentra en la categoría de ruido blanco (símil de espectro de la luz blanca que contiene todos los colores), en esta ecuación k = Constante de Boltzmann = $13,8 \times 10^{-24} W \cdot sec/^\circ K$ (o $J/^\circ K$), T = temperatura en $^\circ K$, R = resistencia eléctrica en Ω .

2.2.2. Ruido *flicker* o $1/f$

El ruido $1/f$ es de baja frecuencia (importante hasta algunas decenas de kilo hertz según [4]) y es posiblemente el más importante y menos comprendido de los ruidos inherentes según [5]. Es especialmente relevante en diseño de circuitos CMOS (Semiconductor de metal-óxido complementario por sus siglas en inglés, se refiere al tipo de transistor usado en la fabricación). Su origen, se debe a las “trampas” de carga que se encuentran en la interface $Si - SiO_2$, que separa el gate del resto del transistor, allí, los portadores pueden quedar atrapados y así causar modulaciones discretas del canal, produciendo el mencionado ruido. Estas “trampas” están distribuidas de forma aleatoria y dependen completamente de las propiedades del óxido y el proceso de fabricación. Es notable que la densidad de estas “trampas” es menor en los PMOS que en los NMOS, pues las barreras de energía de las que dependen estas trampas son mayores para huecos -los portadores mayoritarios en PMOS-, además la movilidad de los portadores mayoritarios es distinta y esto también afecta las ecuaciones.

De forma general, el ruido $1/f$ tiene PSD de la forma mostrada en la ecuación 2.2:

$$V_d^2(f) = \frac{k}{f^\beta} \quad [V^2/Hz] \quad (2.2)$$

Este ruido esta extensamente estudiado y caracterizado como podemos ver en [4]. Es necesario recalcar que la región de operación del transistor y sus dimensiones son factores determinantes en el ruido $1/f$. Las ecuaciones para aproximar el ruido en cada región se resumen en la tabla 2.1, directamente tomada -y traducida- de [4]. También hay que notar que β -el coeficiente al que se eleva la frecuencia- depende completamente de la tecnología específica, pero generalmente se encentra entre 0.8 y 1.2 según [4] y que las ecuaciones indican que a mayor área, menor ruido $1/f$.

Región de operación y transconductancia g_m	PSD del ruido referido a la entrada S_{V_g}	PSD del ruido de corriente de drain $S_{I_d} = g_m^2 S_{V_g}$
Saturación $g_m = \sqrt{2 \frac{C_{ox} \mu W}{L_{eff}}} I_d$	$S_{V_g}(f) \cong \frac{q^2 N_{ot}}{C_{ox}^2 L W} \cdot \frac{1}{f}$	$S_{I_d}(f) = \frac{q^2 \mu N_{ot} I_d}{C_{ox} L_{eff}^2} \cdot \frac{1}{f}$
Región lineal $g_m = \frac{I_d}{(V_{GS} - V_t)}$	$S_{V_g}(f) = \frac{q^2}{C_{ox}^2} \frac{N_{ot}}{W L} \cdot \frac{1}{f}$	$S_{I_d} = \frac{q^2 N_{ot}}{C_{ox} W L} \left(\frac{I_d}{V_g - V_t} \right)^2 \cdot \frac{1}{f}$
subthreshold $g_m = \frac{q I_d}{k T}$	$S_{V_g}(f) \cong \left[\frac{C_{inv}}{C_{ox} + C_d} \right]^2 \frac{q^2 N_{ot}}{C_{ox}^2 W L} \cdot \frac{1}{f}$	$S_{I_d} = \frac{C_{inv}^2}{(C_{ox} + C_d)^4} \frac{q^4 I_d^2 N_{ot}}{(k T)^2 W L} \cdot \frac{1}{f}$
Notas	Reducción significativa de ruido en subthreshold	$S_{I_d}(f)$ depende de I_d en saturación e I_d^2 en región lineal y saturación

Tabla 2.1: Ruido 1/f en todas las regiones de operación de interés (tomado y traducido de [4])

2.3. Arquitecturas de Reducción de Ruido

En esta sección trataremos las arquitecturas mas relevantes que se han usado a lo largo de los años para reducir el ruido 1/f, basándose en la investigación de Enz et al en [6]. Discutiremos: la metodología por la cual se reduce el ruido, las características de cada una de las técnicas, sus ventajas y desventajas. Se analizan tres arquitecturas de reducción de ruido 1/f que son: *Chopping*, *Auto-zero* y *Correlated Double Sampling*. Cada una de estas técnicas tiene diferentes dificultades en su implementación y características distintas que las hacen más o menos atractivas según la aplicación, por esto dedicaremos un espacio para discutir dichas características.

2.3.1. Técnica de Auto-Zero

La idea principal de la técnica es "muestrear el ruido y voltajes no deseados a la entrada del amplificador y restar el valor instantáneo a la señal, en algún punto del circuito, para así tener una señal limpia. Para esto se utiliza una entrada extra, conocida como la entrada de anulación o anuladora. Si el ruido es constante en el tiempo (como un *offset*), este será cancelado y si es ruido no deseado de baja frecuencia -como el ruido 1/f- será filtrado como si pasara por un filtro pasa altos, lo que disminuirá altamente su impacto en bajas frecuencias a cambio de aumentar el piso de ruido (ruido blanco), como un efecto secundario del muestreo debido al "*aliasing*".

En esta técnica requiere de por lo menos dos ciclos, el ciclo muestreo -en el que el *offset* y el ruido no deseados son muestreados y almacenados- y el ciclo de procesamiento de la señal -en la cual la señal de salida del amplificador tiene menor *offset* y ruido y puede ser interpretada apropiadamente-. Durante la fase de muestreo, el amplificador es desconectado del camino de la señal -en otras palabras no amplifica la señal a la entrada- y sus dos entradas son puestas en corto y ajustando a un valor apropiado de voltaje de modo común, el *offset* se anula usando la entrada

extra que se hizo para dicho propósito ya sea por medio de una re-alimentación apropiada o por medio de un algoritmo digital. Es en este momento que se toma la muestra y se almacena, ya sea en un capacitor por medio de (*Sample and Hold*) o de forma digital como en un registro. Una vez finalizado el ciclo de muestreo y que se ha calculado -por medio de algoritmos o de forma análoga- y almacenado el valor a ser restado, se pasa al ciclo de procesamiento de señal en el que el amplificador se conecta nuevamente al camino de la señal y funciona "normalmente". Si las condiciones en las que amplifica -es decir en el ciclo de procesamiento- la señal son iguales a las que tenía el amplificador durante el ciclo de muestreo, la señal debería idealmente estar libre de *offset* y ruido de baja frecuencia.

La eficiencia de este método en disminuir el ruido de baja frecuencia y el ruido blanco, depende directamente de la autocorrelación entre el ruido almacenado en la fase de muestreo y el ruido en la fase de procesamiento de la señal. La autocorrelación entre dos muestras de ruido $1/f$ separadas en un intervalo de tiempo τ , decrece más lentamente con el aumento de τ que para el ruido blanco, en el mismo ancho de banda. Por tanto el Auto-Zero es eficiente en contrarrestar el ruido $1/f$ más no el ruido blanco de espectro amplio.

Visto de otra forma, el Auto-zero substraer al ruido variante en el tiempo, una muestra reciente del ruido. Para ruido *dc* -como el *offset*- o de muy baja frecuencia esto resulta en cancelación, pues no ha cambiado desde que se toma la muestra. Acorde con lo anterior, la técnica de Auto-Zero filtra el ruido de baja frecuencia y solo deja pasar el de frecuencias más altas. Cabe resaltar que como el Auto-zero es una técnica de muestreo, el ruido de amplio espectro es traído a banda base debido al aliasing, lo que aumenta la PSD (densidad espectral de potencia por sus siglas en inglés) del ruido en la banda -aunque si se hace correctamente, el ruido introducido es menor al ruido eliminado-, a menos que el sistema ya sea de datos muestreados.

La última aseveración tiene como consecuencia, que cuanto mayor sea la frecuencia de muestreo, más veces se inserta o dobla el ruido de amplio espectro, aumentando el ruido -fenómeno conocido como *folding* o *foldover*- . Por esto hay que ser precavido con la frecuencia de muestreo.

Esta técnica tiene el beneficio de suprimir tanto ruido como *offset* no deseado, pero a cambio aumenta el ruido blanco del amplificador. Además requiere: circuitos restadores adicionales para realizar la operación; una entrada de señal para la resta; circuitos de almacenamiento; la capacidad de poner las entradas en corto y quitar el amplificador del camino de la señal; la calibración de la ganancia o el algoritmo que calcula el valor a ser restado.

2.3.2. Técnica de Correlated Double Sampling

Esta técnica es básicamente Auto-Zero seguido de *Sample and Hold*. El *Sample and Hold* es una técnica muy usada para digitalizar señales u funciona "reteniendo" por un periodo de tiempo el valor de la señal mientras este es digitalizado. Se supone que el tiempo de digitalización es mucho menor que el tiempo de cambio la señal. La frecuencia a la que se realiza el Auto-Zero coincide con la frecuencia a la que se realiza el *Sample and Hold*, lo que elimina el *offset* y el ruido de la muestra tomada. Esta técnica es ampliamente usada en sistemas de datos muestreados y particularmente en circuitos de capacitores switcheados. El efecto de esta técnica en el ruido y el *offset* de la señal es muy similar al de la técnica de Auto-Zero. Aunque el filtrado realizado también reduce la magnitud de las componentes de baja frecuencia y modifica la función de

transferencia, debido a el “*aliasing*”, se obtienen resultados similares de *foldover* pues el ruido de espectro amplio ya ha sido muestreado una vez y vuelve a ser introducido.

Esta técnica se usan, por ejemplo, en sistemas de digitalización que ya contemplaban el *Sample and Hold* y que presentan las mismas restricciones que el *Auto-Zero* y sus aplicaciones. Otro ejemplo de estos sistemas, que son circuitos no lineales y cambiantes en el tiempo, son las capacitancias conmutadas -o alternadas-, que modifican el valor de una capacitancia respecto a un punto del circuito.

2.3.3. Técnica de *Chopping*

La técnica de *Chopping* consiste en realizar una modulación a la señal de entrada para transportarla a una frecuencia mayor que aquella de la señal original. En este caso se espera que a la frecuencia a la que se transporta, sea tal que el ruido $1/f$ ya no es dominante y es el ruido blanco el único que afecta la señal. En este punto la señal es amplificada y finalmente retornada a banda base por demodulación. Así, aunque después de la amplificación, la señal sea afectada por ruido $1/f$, la SNR (relación señal a ruido) es alto pues la señal de interés fue amplificada y el ruido se mantiene constante y solamente es agregado por las etapas continuas a la demodulación.

Esta técnica usa moduladores que cambian -o *switchean*- la señal entre las entradas de un amplificador diferencial (es decir cambian la fase de la señal de entrada en cada ciclo) y uno -o más- demoduladores en otro punto del amplificador que también sea diferencial. La única diferencia entre los ciclos es la fase de la señal de entrada, que cambia a cada ciclo y los únicos tiempos muertos están en el tiempo de cambio del modulador, entre un estado y el otro, que se espera sean mucho menores que los ciclos y por tanto muchísimo más rápidos que la señal.

Se debe considerar la frecuencia de *switcheo*, pues esta debe ser mucho mayor que el rango en frecuencia de la señal de entrada -al menos cumpliendo teorema de Nyquist-, además se requiere que sean dos señales cuadradas complementarias tipo reloj para controlar los moduladores. Para tener el efecto de reducción deseado es necesario que la señal de *switcheo* sea, además, mayor al codo de ruido del amplificador sin *switcheo*. En un amplificador que utiliza la técnica de *Chopping* puede caracterizarse este codo manteniendo los moduladores constantes.

Cabe mencionar que la técnica de *Chopping* también aumenta el ruido blanco de la banda base, de forma proporcional a la relación entre la frecuencia del codo de ruido y la frecuencia de muestreo, pues el ruido blanco de la banda de *Chopper* también se adiciona al de la banda base, y su autocorrelación aumenta a medida que aumenta diferencia entre la banda base y la banda de *Chopper*.

Adicionalmente como se usan señales cuadradas para la modulación y demodulación, es necesario un filtro pasa bajos para evitar que las réplicas de la señal que se modularon en los múltiplos impares de la frecuencia de muestreo, al demodularse contaminen la señal. Este filtro puede ser externo o, como se muestra en [1], puede realizarse con el capacitor de compensación y un multiplicador Miller.

Técnica	Es de tiempo continuo?	Bloques extra	Suprime <i>offset</i> ?	Aumento de ruido blanco	Altamente relacionado con ADC?	Señales Extra
Auto-Zero	Parte del tiempo offline.	Restadores, almacenamiento, bloque para poner y quitar de camino de la señal.	Si	Aumenta considerablemente con la frecuencia de (switcheo)	No	Control análogo o digital de la realimentación, señales para cambio de ciclo.
Correlated Double Sampling	Parte del tiempo offline	Restadores, almacenamiento, bloque para poner y quitar el camino de la señal, ADC.	Si	Aumenta considerablemente con la frecuencia de (switcheo).	Si	Control digital de realimentación, señales para cambio de ciclo.
<i>Chopper</i>	Offline solamente durante tiempo de subida y bajada.	Celda Multiplicadora.	No	Aumenta con la relación entre el codo de ruido y la frecuencia de (switcheo).	No	Señales cuadradas complementarias.

Tabla 2.2: Tabla comparativa técnicas de reducción de ruido $1/f$.

2.3.4. Estado del Arte en técnicas de reducción de ruido

Al revisar el estado del arte, es posible notar que las técnicas no han cambiado a lo largo de los años y que las investigaciones clásicas como la de Enz y compañía en [6] y Jakobson y sus colaboradores en [7] siguen siendo relevantes. De hecho se notó en la revisión que muchas aplicaciones nuevas se han visto beneficiadas por estos estudios como lo son los sensores CMOS para MEMS -véase [8]-. Estos dispositivos se verían favorecidos al aplicar lo encontrado por [6] y sus referencias.

Otra de las técnicas es la ilustrada en [9], en la que se maneja más de un canal y se usan diferentes frecuencias de *Chopper*. La complejidad de los circuitos en este artículo supera lo que se puede diseñar en el tiempo de un trabajo de grado y es una ampliación de la técnica de *Chopper* usando más de un canal para mejorar las características del amplificador, que además requiere filtros externos de alta precisión.

2.3.5. Figura de Ruido

La figura de ruido es un parámetro muy utilizado en amplificadores y sistemas de adquisición. Su utilidad radica en medir cuanto ruido es introducido en la señal por el amplificador o sistema de adquisición y sopesarlo contra la amplificación de señal que genera en forma de una razón. Podemos definir entonces, la figura de ruido de su forma más útil para nuestro caso como SNR, que se define en la ecuación 2.3.

$$SNR = 10 \cdot \log \left(\frac{P_s}{P_N} \right) = 20 \cdot \log \left(\frac{V_s}{V_n} \right) \quad (2.3)$$

Donde P_s es la potencia de la señal que se desea amplificar y P_N es la potencia del ruido inherente del amplificador.

2.4. Amplificadores Diferenciales

En esta sección se exploran los amplificadores diferenciales, la definición del mismo, las ventajas que los vuelven útiles para señales reales, su esquemático básico y los problemas de su implementación. Además, y para finalizar, se introduce el concepto de codo de ruido, un parámetro necesario no solo para la comprensión de las dificultades de implementación, si no, también para el desarrollo del proyecto.

Los amplificadores diferenciales son circuitos diseñados para amplificar una señal que se encuentra en la diferencia de dos entradas, es decir una señal diferencial. En la figura 2.1 podemos ver el esquema ideal del amplificador diferencial.

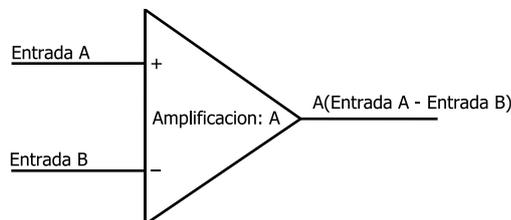


Figura 2.1: Amplificador Diferencial Básico.

Los amplificadores diferenciales son circuitos ampliamente utilizados en variadas aplicaciones, especialmente en los circuitos “*front end*”, que son aquellos en contacto con los transductores que convierten señales del mundo exterior en señales eléctricas. La razón de su popularidad se debe en gran medida a su capacidad de rechazar señales que son comunes a ambas entradas, por ejemplo: si la señal por la entrada A es igual a $\sin(\theta) + 3$ y la entrada señal por la entrada B es igual a $-\sin(\theta) + 3$ entonces el resultado será $2A\sin(\theta)$. Esta característica es especialmente útil para rechazar señales externas que contaminan la señal y que presentan de igual forma en ambas entradas, como es el caso de la señal de la línea eléctrica que generalmente tienen una frecuencia de $50/60Hz$ y puede estar en el rango de frecuencias de la señal medida, por tanto no puede ser filtrada por un filtro de frecuencias, pero, dado que la señal afecta a ambas entradas de igual forma, esta es eliminada al pasar por un amplificador diferencial.

La entrada de muchos amplificadores diferenciales -como otros amplificadores- se caracteriza por ser de alta impedancia, lo que la hace ideal para señales que vienen de transductores cuya salida es voltaje, pues muchos de estos pueden sufrir efectos de carga. Estos amplificadores además pueden ser diseñados con tecnología microelectrónica o nanoelectrónica -como el diseñado en este proyecto- lo que permite bajo consumo, alta integración y miniaturización de los sistemas que se deseen crear.

Algunos de los problemas que se enfrentan al diseñar un amplificador diferencial son: la alta simetría que requieren las dos ramas de cada etapa diferencial, el manejo de la polarización tanto en voltaje como en corriente, la planeación del camino físico de la señal para minimizar los retardos y la necesidad de ganancia alta en bajas frecuencias, entre otras.

2.4.1. Codo de Ruido

El codo de ruido es la frecuencia en la cual el ruido $1/f$ es aproximadamente igual al ruido blanco. La forma característica del ruido contra la frecuencia de un amplificador o un transistor, se muestra en la figura 2.2. En la figura se puede observar el codo de ruido aproximado de la señal (f_k), este parámetro es muy relevante especialmente en amplificadores, pues si se conoce el rango en frecuencia de la señal de entrada, se puede saber que tan afectada va a estar por el ruido $1/f$ del amplificador.

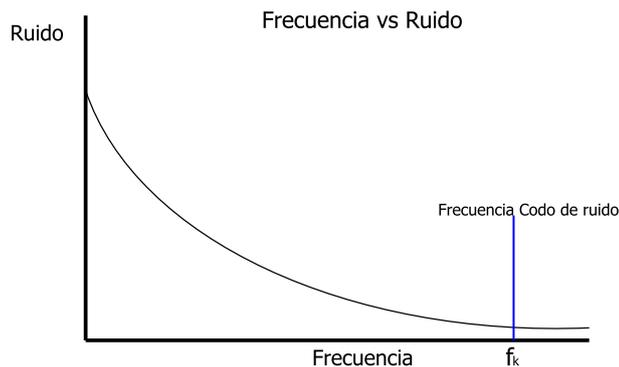


Figura 2.2: Explicativo codo ruido.

Capítulo 3

Objetivo del Proyecto

En este capítulo se describen los objetivos del proyecto, se muestran las especificaciones que se quieren lograr y los objetivos específicos que se desarrollarán.

El objetivo principal del proyecto es Diseñar, implementar y simular en *Layout*, un amplificador de bajo ruido que minimice el ruido $1/f$, en VLSI, con tecnología CMOS de 600 nm de la fábrica XFAB®, en la plataforma de simulación Synopsys. Para poder lograr de forma adecuada este objetivo se requiere seguir los pasos de diseño de forma adecuada y esto se refleja en los objetivos específicos que se listan a continuación:

- Escoger la topología y esquema a implementar previa revisión de la literatura.
- Definir las especificaciones a lograr, especialmente el SNR (relación señal a ruido).
- Realizar el *Layout* que represente el esquemático realizado.
- Cumplir con las especificaciones definidas.
- Realizar simulaciones que evalúen peores casos variando los parámetros importantes del circuito.

3.1. Especificaciones a lograr

Con base en los textos ([3], [10]), las siguientes especificaciones mínimas fueron seleccionadas:

- CMRR (Comon mode reject radio): 100 db.
- Ganancia mínima re-alimentada: 100 V/V.
- Ancho de banda: igual o superior al de la aplicación: 0.1 a 150 Hz.

En dichos documentos no se especifica ni el ruido ni consumo, pero se se habla de que el mínimo número de bits del convertor análogo digital en la aplicación es de 10 ([3] capítulo 70). Si bien la conversión análoga a digital no se considera dentro del proyecto, este parámetro nos puede ser útil para definir la relación señal a ruido necesaria. Es seguro entonces asumir que si se tiene una ganancia mínima de 100 V/V, con un voltaje de entrada máximo de 10 mV, se tiene un

voltaje de 1 V a la salida. Entonces, 1 V representado en 10 bits hace que el LSB¹ sea 1 V / 1024. El ruido debe estar por debajo de este valor, que es 0,98 mV, que será entonces el máximo de ruido permitido. Cabe mencionar que si la ganancia aumenta, el ruido puede ser mayor sin afectar la conversión análoga a digital. Teniendo en cuenta todo lo anterior, la SNR (relación señal a ruido) mínima con ganancia de 100 V/V es de 60.18 db.

3.2. Metodología

El proyecto consiste en el diseño de un amplificador, por tanto una metodología de diseño clásica es el curso a seguir. Se parte del esquemático propuesto en [1] y con base en el estudio que se realiza de la tecnología, se evalúan los cambios requeridos. El esquema de la metodología de diseño se puede ver en la figura 3.1 y solo se lleva hasta la simulación de resultados, omitiendo la fabricación. Es bastante claro que el proceso analiza los resultados y en caso de no cumplir las especificaciones, retorna a un punto previo en el cual se evalúan soluciones para mejorar el rendimiento del circuito, este es claro especialmente con simulaciones que muestran si se cumplen o no los objetivos del proyecto.

¹Bit menos significativo

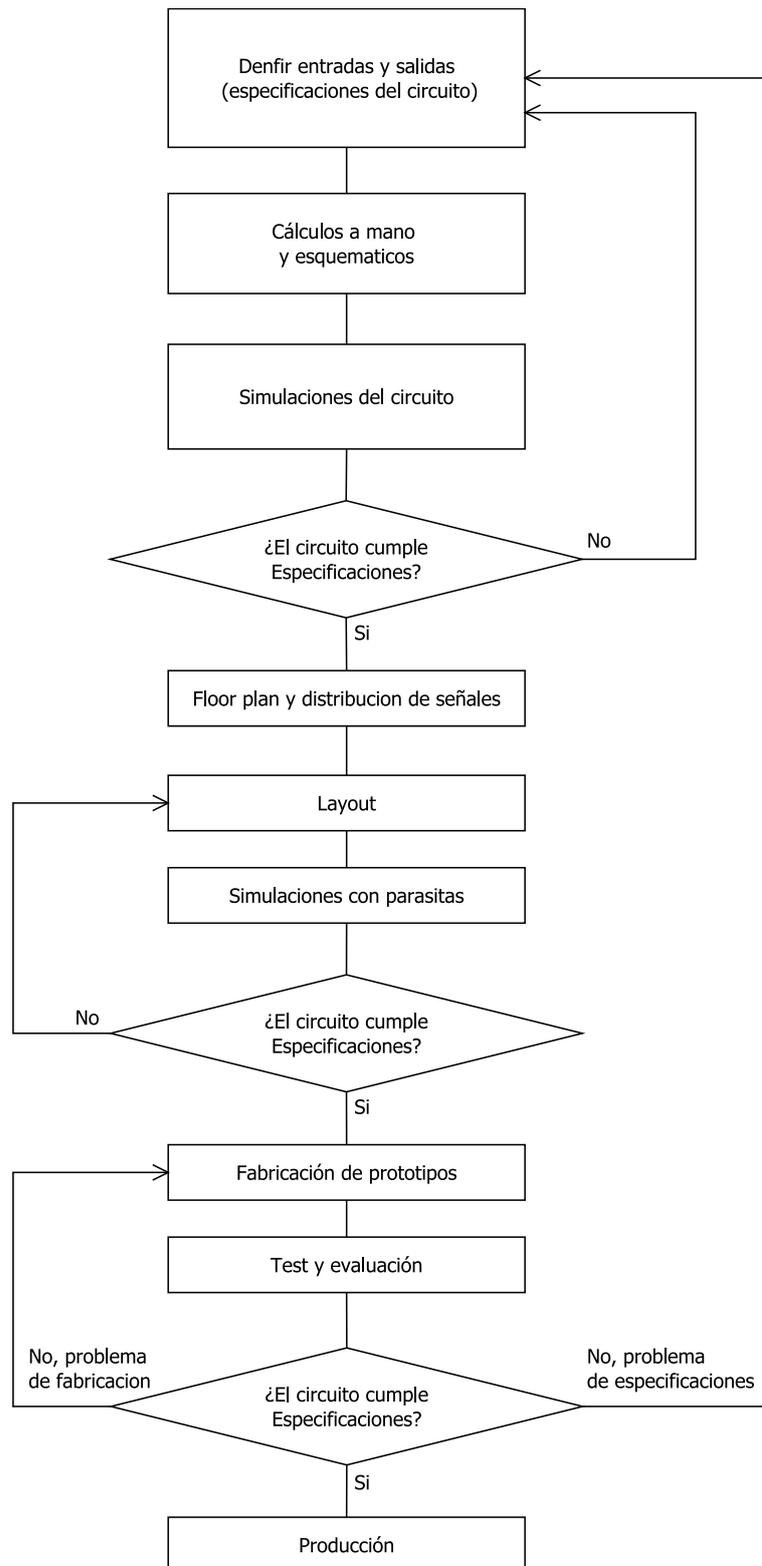


Figura 3.1: Diagrama de diseño (tomado, traducido y modificado de [5]).

Capítulo 4

Desarrollo del proyecto

Este capítulo se inicia con los porqué de la escogencia de la técnica de *Chopper* para el desarrollo y se continúa con el diagrama de bloques ideales para comprender de forma más profunda la solución. Después se describe la implementación final, se resumen las características relevantes de la tecnología en el contexto de su influencia en el proyecto y se pasa a la comprobación por medio de simulaciones en esquemático. Se continúa con la planificación de la distribución de los bloques para *Layout* y su posición en el *Layout* general y se finaliza con las simulaciones incluyendo componentes parásitas extraídas. Finalmente se resumen las simulaciones que no fueron parte del proceso de diseño sino que son más reportes de las características logradas.

4.1. ¿Por qué Escoger *Chopper*?

En esta sección compararemos de forma explícita las ventajas de usar la técnica de *Chopper*, si son o no ventajas, lo que depende de las características de la aplicación y las necesidades de la solución.

Al centrarse en la aplicación específica del proyecto, que es la amplificación de señales miográficas, es necesario tener en cuenta los posibles usos de la información recibida para discernir cuál de las soluciones, explicadas en la sección 2.3, es más apropiada. Las señales miográficas requieren monitoreo continuo, con la menor cantidad posible de datos perdidos, para evitar pasar por alto patrones que puedan llevar al diagnóstico de enfermedades o la identificación de factores de riesgo. En aplicaciones como la lectura de señales para controlar miembros prostéticos -véase [2]- es necesario que el sistema sea suficientemente veloz para seguir las instrucciones del usuario en tiempo real, de forma que se requiere que la adquisición de la señal sea continua, al menos tanto como sea posible.

Se concluye que requerimos que la señal pueda ser adquirida de forma continua por el mayor tiempo y con el menor ruido posible. Según las notas sobre las técnicas de reducción de ruido, en la sección 2.3, la que mejor describe estas características es la técnica de *Chopper*, pues solo tiene tiempos muertos en los tiempos de (switcheo), que se suponen son muy cortos frente al tiempo del ciclo de la señal moduladora. Además la técnica reduce de forma significativa el ruido $1/f$ y aunque el offset también es un problema relevante en la aplicación, pues este puede saturar el amplificador, es posible mitigarlo con filtros externos sin mayor complicación (véase [1]).

4.2. Diagrama de Bloques Ideal

Para comprender mejor la técnica de *Chopper* se tiene el diagrama de bloques ideal de la figura 4.1, a continuación se repasan las características necesarias de cada bloque, el funcionamiento en conjunto y los puntos más críticos del esquema general.

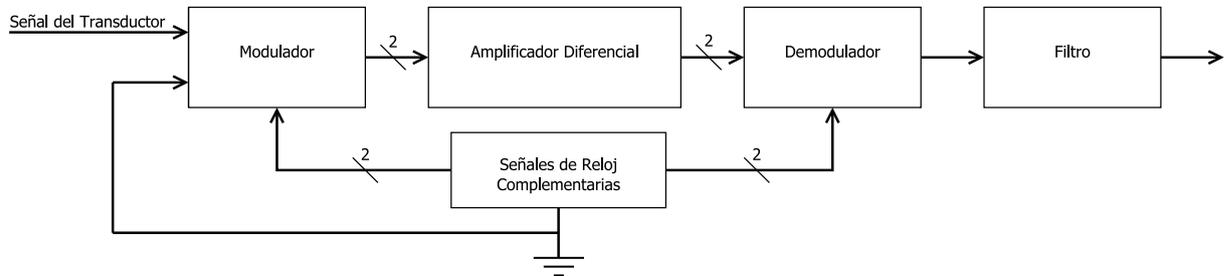


Figura 4.1: Diagrama de bloques ideal.

En la figura 4.1 vemos números en algunas conexiones, este número indica la cantidad real de conexiones y si no existe este número significa que solo hay una conexión. Para comprender las características requeridas de cada bloque, es conveniente entender su lugar dentro del funcionamiento general del proyecto y hacer explícitos los requerimientos para cumplir los objetivos del proyecto.

4.2.1. Bloque Modulador y Demodulador

La función de estos bloques puede ser vista desde la perspectiva en tiempo o la perspectiva del dominio de la frecuencia. Desde la perspectiva en tiempo, el modulador cambia la fase de la señal de entrada, idealmente varias veces en un solo periodo de la señal, mientras que el demodulador hace exactamente lo mismo después de la amplificación, lo que hace que la señal de salida sea igual -o con diferencia de 180° - en fase a la señal de entrada. Desde esta perspectiva el modulador y demodulador deben ser complementarios y estar funcionando con la mayor sincronía posible, para evitar que la señal de salida sea diferente a la señal de entrada, en su forma de onda.

Desde la perspectiva de la frecuencia, el modulador multiplica la señal de entrada llevándola a la frecuencia de modulación, que, como ya fue estudiado, debe ser superior a la frecuencia del codo de ruido del amplificador para que la reducción del ruido sea efectiva. Al mismo tiempo si la frecuencia de modulación es mucho mayor que la frecuencia del codo de ruido, esto aumentara el ruido blanco introducido a banda base, de forma proporcional a la relación entre dichas frecuencias (como es descrito en [6]). Advierte también Enz en [6] que algunos estudios sugieren que el mejor compromiso de reducción de ruido se encuentra al hacer que la frecuencia de modulación sea igual a la frecuencia del codo de ruido del amplificador.

4.2.2. Bloque del Amplificador Diferencial

El amplificador diferencial debe introducir el menor ruido posible Para esto se debe tener en cuenta la polarización especialmente en la etapa de entrada. La amplificación total debe cumplir los requerimientos del proyecto y el ancho de banda debe ser suficiente para aplicación. Este

bloque es el directo responsable del rechazo en modo común, pues los moduladores pueden ser considerados como resistencias en este punto. El *Layout* debe ser realizado *Full Custom*, es decir completamente a mano, para mejorar las condiciones de su funcionamiento. Finalmente como se usarán fuentes positiva y negativa, la salida al final de todos los bloques debe tener un valor de polarización de cero, para máxima excursión.

4.2.3. Bloque de Filtrado

Puesto que la señal de modulación es cuadrada el bloque de filtrado tiene como finalidad eliminar múltiplos impares de la frecuencia de *switcheo*. La forma más sencilla de determinar el filtro es teniendo en cuenta el rango en frecuencia de la señal de entrada, el filtrado puede hacerse de forma que no comprometa de ninguna forma la señal de entrada y elimina todo lo demás, de forma que también disminuye los efectos del ruido blanco de amplio espectro en la señal de salida. Es entonces necesario filtrar entre 0.01 Hz y 500 Hz.

4.3. Esquemático de la solución

Ahora que conocemos el funcionamiento ideal de los bloques de un amplificador con técnica de *Chopper*, introducimos el esquemático de la solución planteada en este proyecto, el mismo es tomado y modificado de [1].

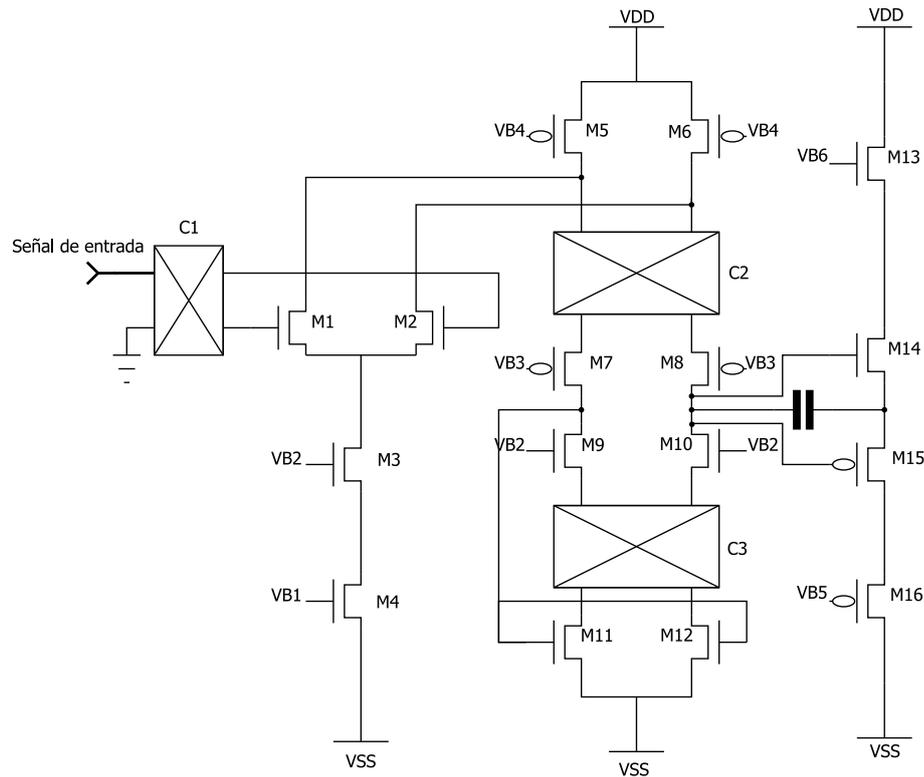


Figura 4.2: Esquemático del amplificador.

El esquemático mostrado en esta sección es el resultado del proceso de diseño y las alteraciones frente al presentado en [1], fueron decisión del autor, ya fuera por sugerencia o con conocimiento del director de trabajo de grado. En las secciones subsecuentes se exponen las motivaciones a realizar los cambios, siempre respaldadas con datos, simulaciones o simplemente el cambio de arquitectura para aprovechar mejor alguna etapa, dentro del contexto expuesto.

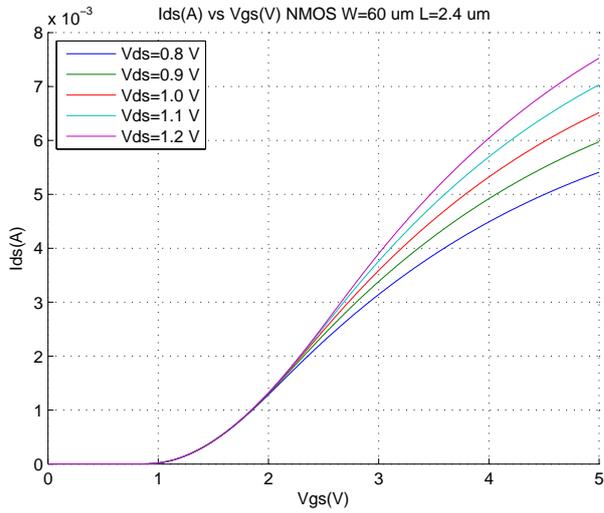
4.4. La Polarización y el Ruido

Tomando como punto de partida el esquemático realizado por Yang et al en [1], nos enfrentamos a un problema que ha sido ampliamente estudiado desde hace algunas décadas: la influencia de la polarización en el ruido $1/f$. Según [7], varios de los parámetros que influyen en el ruido $1/f$ son propios de cada tecnología. Estudiar entonces los parámetros de la tecnología a utilizar es altamente relevante y los resultados, se aplican de forma más significativa en la etapa de entrada, cuyos efectos de ruido son más relevantes, pues introducen el ruido cuando la señal de entrada está en su menor amplitud. Estos mejores y peores casos de polarización nos ayudan a discernir de mejor forma el diseño puntual del amplificador (puntual en el sentido realizado de con la tecnología de $0.6 \mu\text{m}$ de la fábrica XFAB®).

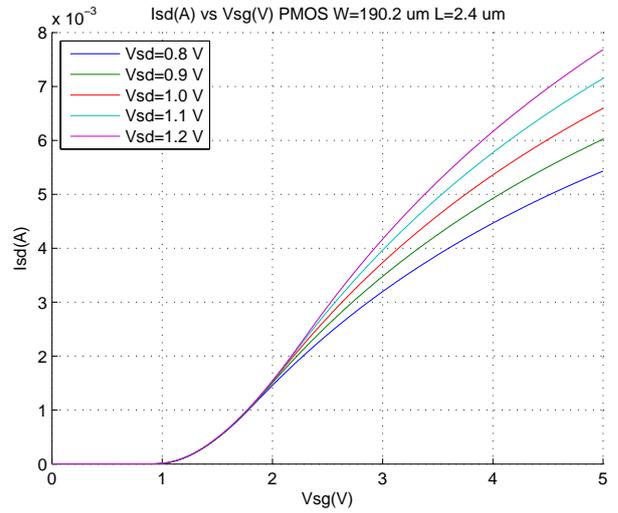
Como se estudió en la sección 2.2.2 sobre el ruido $1/f$ -con especial atención en la tabla 2.1- el ruido de un transistor es determinado por los parámetros de la tecnología, el área y el punto de polarización del mismo. Resulta necesario entonces, realizar simulaciones que varíen parámetros del transistor- Particularmente polarización, tamaño y tipo (NMOS, PMOS)-, para determinar el mejor compromiso.

Este estudio es mostrado en el anexo 1, incluyendo los procedimientos y la metodología usada para realizar las simulaciones. En los resultados mostrados en las figuras 4.3 y 4.4, se muestran dos transistores con características casi idénticas de corriente para mismo voltaje -las figuras 4.3a y 4.3b- y con diferente comportamiento en ruido (consecuente con lo consultado en [4]). Cabe resaltar que el ruido mostrado en la figura 4.4, es la integral de ruido entre 1 mHz y 300 Hz, para cada punto de polarización.

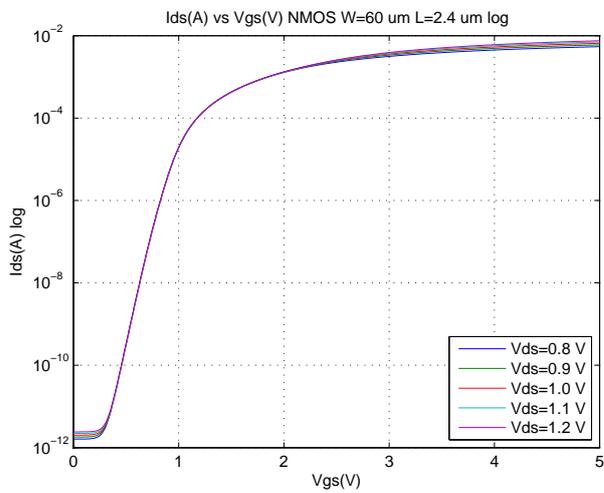
Se deduce de la figura 4.4, que a medida que aumenta el voltaje de Gate y por consiguiente la corriente de Drain, aumenta el ruido. Es entonces necesario polarizar los transistores a voltajes de Gate-Source inferiores a 2 voltios, en especial aquellos en el camino de la señal. En este punto se puede resaltar que -para la tecnología de 600 nm de la fábrica XFAB®- el ruido en el transistor tipo N es menor que en el transistor tipo P, bajo las mismas condiciones de corriente y voltaje. En esta última aseveración hay que notar el rango de frecuencias en el cual se integró, pues estos resultados podrían variar si este rango cambiase.



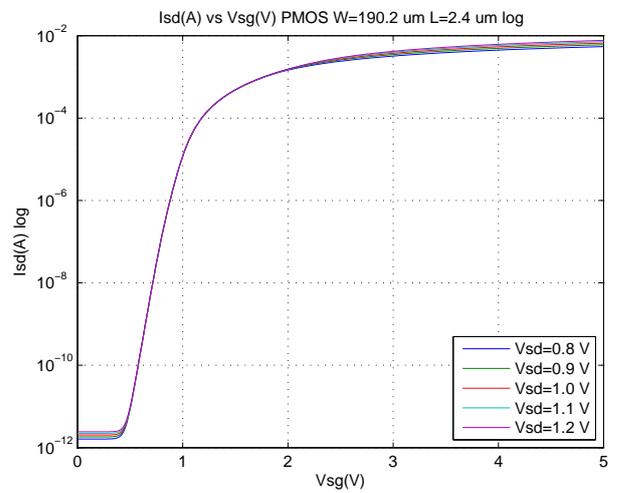
(a) Corriente contra voltaje de gate-source Nmos



(b) Corriente contra voltaje de source-gate Pmos

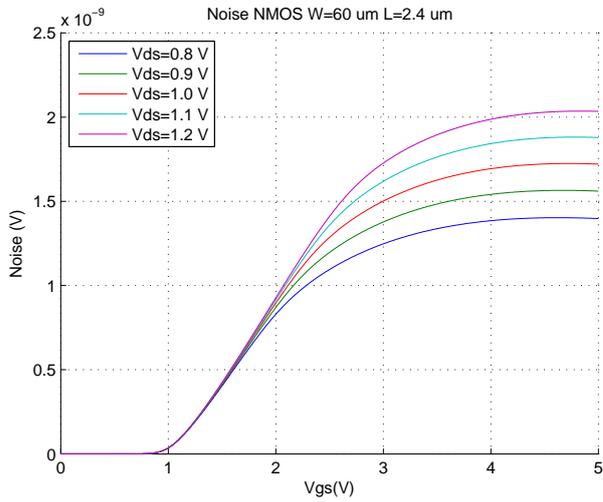


(c) Corriente contra voltaje de gate-source Nmos Log

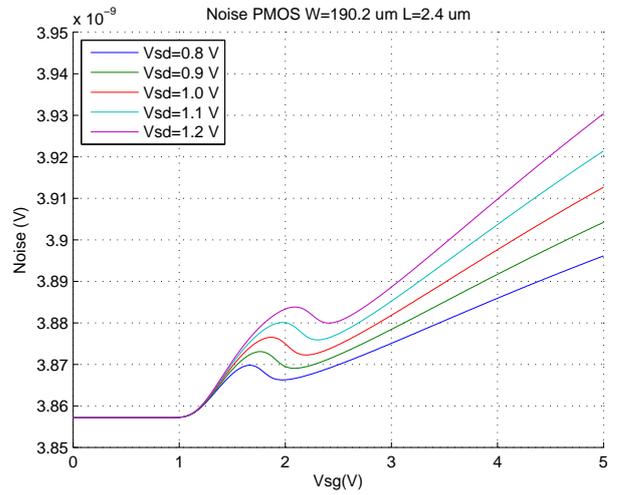


(d) Corriente contra voltaje de source-gate Pmos Log

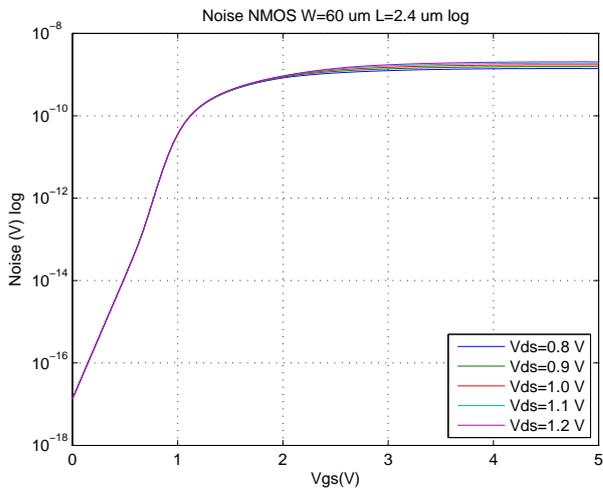
Figura 4.3: Gráficas corriente contra voltaje de gate.



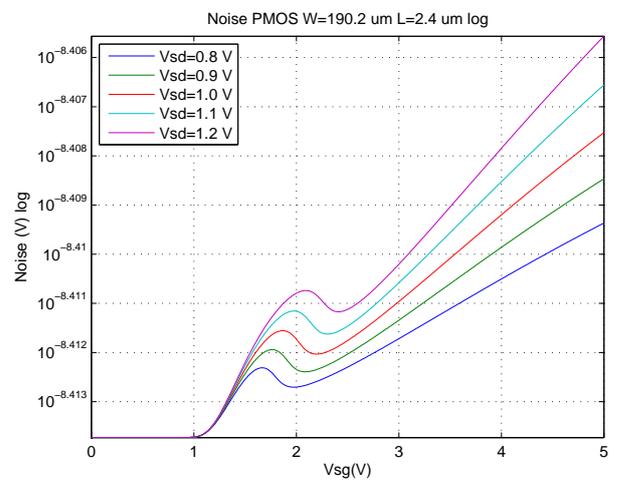
(a) Ruido integrado contra voltaje de gate-source Nmos



(b) Ruido integrado contra voltaje de source-gate Pmos



(c) Ruido integrado contra voltaje de gate-source Nmos Log



(d) Ruido integrado contra voltaje de source-gate Pmos Log

Figura 4.4: Gráficas ruido contra voltaje de gate.

4.5. Punto Óptimo de Trabajo

Como ya discutimos en la sección anterior la influencia del punto de polarización o punto de trabajo en el ruido intrínseco de un amplificador, es necesario también resaltar la influencia de la ganancia del amplificador en la SNR. Es entonces necesario estudiar la relación de ambos, ruido y ganancia, en los mismos puntos de polarización. Este estudio también se muestra en el anexo 1 y traemos los resultados para la discusión a esta altura del proyecto. En resumen se realiza una relación entre la transconductancia (g_m) y el ruido integrado entre 1 mHz y 300 Hz, estos resultados, que se muestran en la figura 4.5, son con los mismos transistores analizados en la sección anterior.

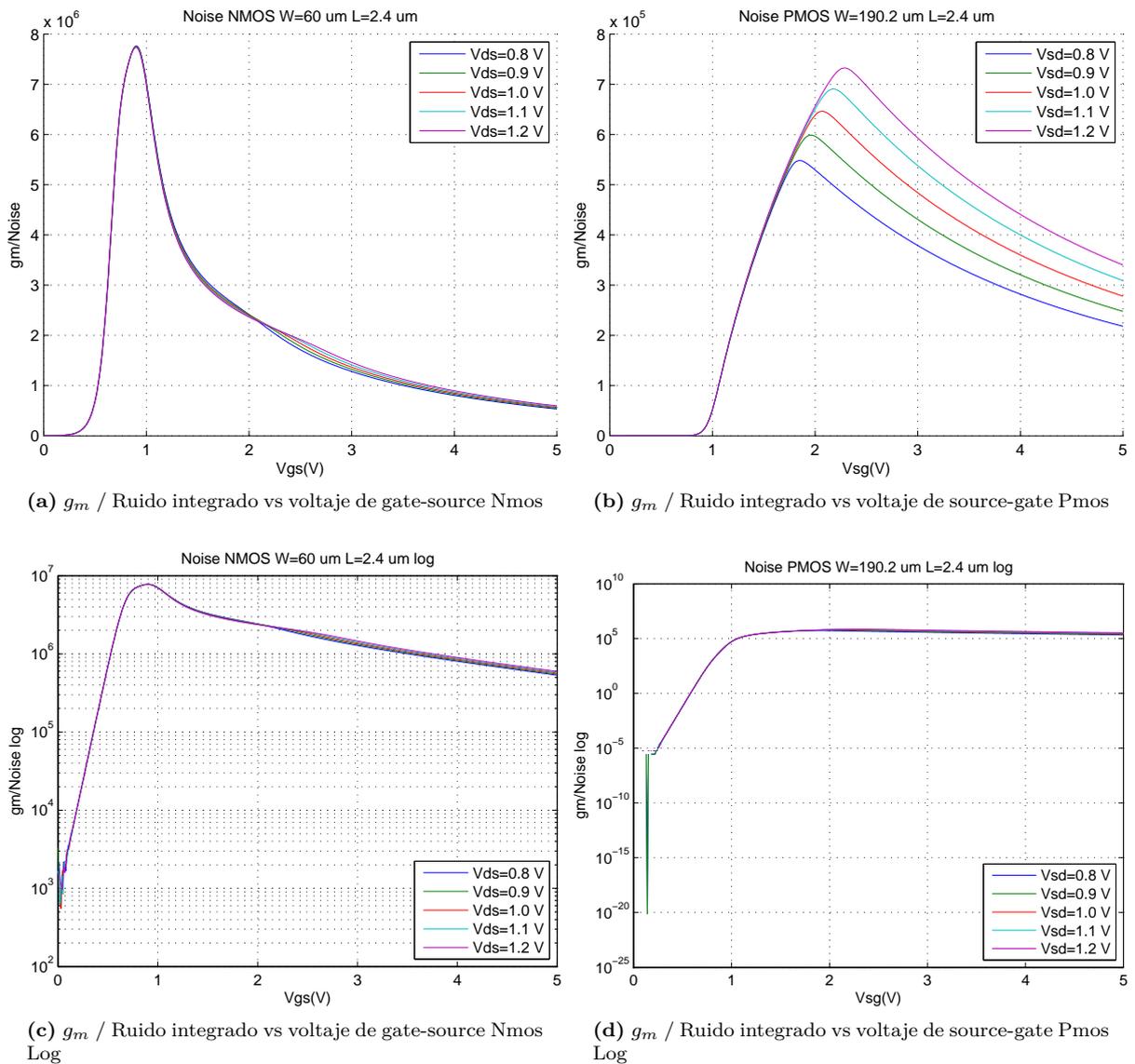


Figura 4.5: Gráficas g_m /ruido contra voltaje de gate.

Se puede notar de estos resultados que existe un voltaje Gate-Source, con su correspondiente corriente de Drain, para el cual la relación $g_m/Ruido$ es máxima, también es notable que este valor coincide muy cerca con el voltaje de threshold del transistor en el caso del tipo N -figura 4.4a-, lo que es congruente con lo sugerido por [4], y que hemos visto en la tabla 2.1, además los valores para el tipo N y el tipo P difieren por aproximadamente un orden de magnitud. Cabe destacar además, la poca influencia del voltaje de Drain sobre este punto, en especial en el MOSFET tipo N. La conclusión de este estudio es entonces que en los puntos más críticos del circuito -como por ejemplo la etapa de entrada-, sean construidos con MOSFET tipo N y con corriente de polarización de threshold ($V_{gs} = V_T$).

4.6. Switches: Esquemático

En las secciones anteriores nos hemos limitado a ver los switches como una celda ideal que multiplica una señal externa con otra conocida -en este caso una señal cuadrada-. Estas celdas multiplicadora son bloques muy importantes para el amplificador, no solo por su función ideal sino por los problemas que pueden introducir al ser implementadas tanto a nivel de esquemático como en *Layout* de forma incorrecta -véase [8]-. Estos switches se realizan con transistores como en el esquemático de la figura 4.6.

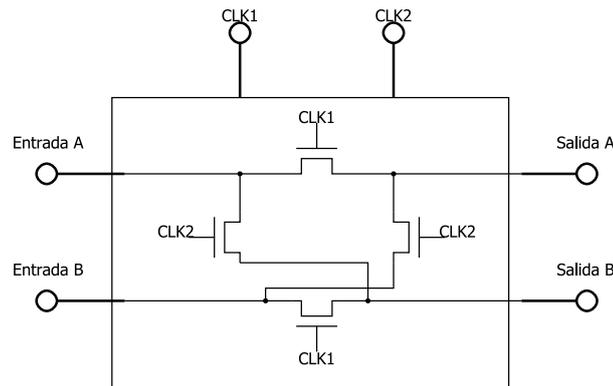


Figura 4.6: Esquemático básico de la celda moduladora/demoduladora.

De la figura 4.6 podemos entender la forma en la que funciona la celda multiplicadora, si la señal CLK1 está en Voltaje alto, entonces hay conexión entre la Entrada A y la Salida A y al mismo tiempo que hay conexión entre la Entrada B y la Salida B. Por otra parte si la señal CLK2 está en alto, se forma una conexión entre la Entrada A y la Salida B y de la misma forma entre la Entrada B y la Salida A. Cabe mencionar que este es el funcionamiento correcto de la celda, lo que implica que las señales CLK1 y CLK2 no deben estar en alto al mismo tiempo en ningún momento. Si el otro caso ocurriera y ambas, CLK1 y CLK2 estuvieran en bajo Voltaje, ninguno de los caminos tendría conexión y quedarían completamente abiertos los caminos de las señales. Es por esto que las señales CLK1 y CLK2 deben ser señales de reloj complementarias, de hecho, según [8], cuanto menor sea el tiempo de subida de las señales, menores problemas tendrá la celda.

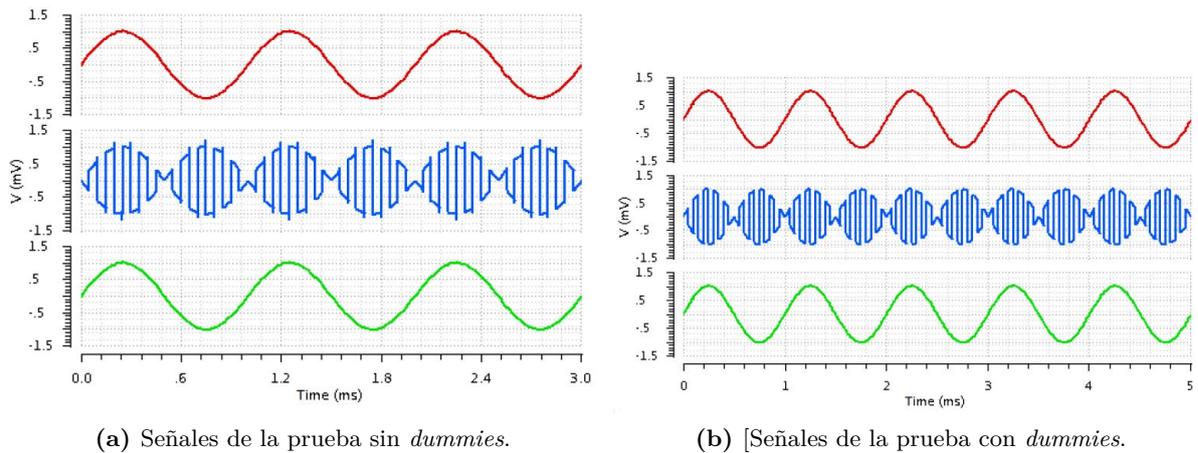


Figura 4.7: Señales con y sin *dummies*. Tomadas de [8].

En esta etapa es necesario considerar los puntos del circuito donde está conectada la celda y las implicaciones que la celda tiene en la conexión, en otras palabras: ¿Cómo se ve afectada la señal al pasar por celda, cuando esta se conecta a otros circuitos?. Primero consideremos el caso del multiplicador de entrada, éste se conecta a los Gate de los transistores de entrada M1 y M2, lo que implica un circuito mayormente capacitivo. Esto presenta un problema pues como explican Sutri y compañía en [8], puesto que la carga que se acumula en el transistor de la celda, al switchear o cambiar de estado, la carga solo puede ir por el camino de la señal, generando picos en las transiciones. La forma adecuada de corregirlo, según sutri y compañía -además de Enz y compañía en [6]-, es colocar transistores *dummies* (en corto circuito entre Drain y Source), de la mitad del tamaño del transistor original (principal), antes y después del mismo, y con el Gate conectado al reloj contrario al del transistor principal. Esta técnica debe su efectividad a que la carga puede almacenarse en otro sitio que no interfiere con el camino de la señal, pues los transistores *dummies* cambian de estado al tiempo y toman la carga del transistor principal. Por otra parte, esta técnica será tan efectiva como la división de la carga por mitad entre el Source y el Drain del transistor principal -es por esto que se escogen los *dummies* de la mitad del tamaño-. La división de la carga por mitad se logra al tener tiempos de subida muy cortos, lo que no permite que los cambios de estado del transistor modifiquen la distribución de cargas, dado que el transistor opera entre corte y resistiva. A continuación se discuten los ejemplos de la influencia de los *dummies* en el comportamiento de la señal.

En las figuras 4.7a y 4.7b, que son directamente tomadas de [8], se muestra al tope la señal de entrada, En el medio la señal una vez pasa por la celda multiplicadora y al final la señal cuando paso otra vez por una celda multiplicadora. La diferencia entre la gráfica mostrada en 4.7a y la mostrada en 4.7b es la inclusión de *dummies* en el esquemático de simulación. Se puede diferenciar claramente los picos en las transiciones en la gráfica del medio de la figura 4.7a, mientras que los mismos desaparecen en la figura 4.7b. Puede que las gráficas al final no parezcan tan distintas, pero el ruido introducido por el circuito es mucho menor. Para una mejor comprensión de este fenómeno, se sugiere al lector revisar a fondo la cita [8], que explica de forma mas detallada esta tecnica. Estos picos se generan cuando la celda se conecta a circuitos mayormente capacitivos o con impedancia tan alta que prevalece el factor capacitivo, como es el caso del Gate de un MOSFET y particularmente en este trabajo, es el caso de la celda a la

entrada del circuito.

Los casos restantes son nodos de baja impedancia, esto facilita el proceso pues la carga es capacitiva y resistiva, lo que permite que la carga almacenada se disipe en forma de potencia. Pero, esta resistencia puede no disipar la carga durante un solo ciclo y peor aún, si lo hace aumenta la temperatura, por consiguiente la técnica de los *dummies* también puede ser aplicada sin inconveniente, pues idealmente almacenaría toda la carga. Si consideramos que, de no incluir los *dummies* cada celda multiplicadora seria diferente y no podría usarse la misma instancia, lo mas lógico es sencillamente usar celdas con *dummies*.

En la figura 4.8, se muestra el esquemático de las celdas multiplicadoras, incluyendo los *dummies* para cada transistor principal.

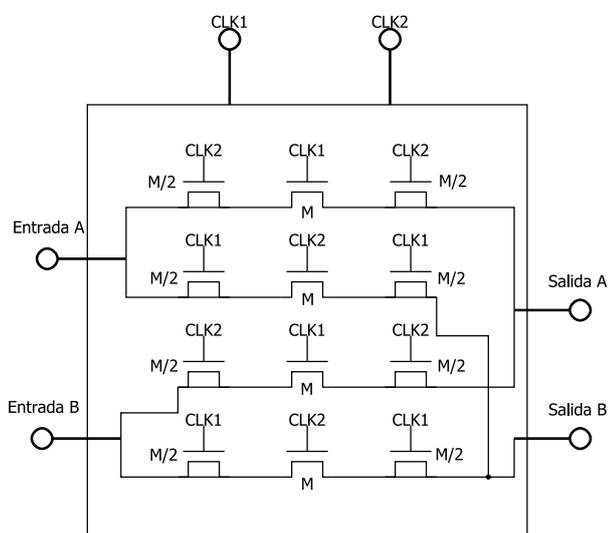


Figura 4.8: Esquemático básico de la celda moduladora/demoduladora con *dummies*.

Por último, cabe mencionar que no todas las celdas multiplicadoras son iguales, si se presta atención al esquemático de la figura 4.2, la celda C2 está entre MOSFETs tipo P y produciría estados inadecuados si se construye con MOSFETs tipo N, por tanto debe ser construida en tipo P. Los tamaños de los transistores de estas celdas deben ser de tales que puedan manejar la corriente que por ellos vaya a circular, sin presentar una resistencia ON relativamente grande o que afecte la ganancia del circuito. Deben por tanto ser dimensionados adecuadamente y con el L mínimo pues esto reduce los sobre picos en las transiciones, según [8] y [6].

4.7. Polarización del Amplificador

Las secciones anteriores tienen el objetivo de introducir los conceptos necesarios para adecuada comprensión de los compromisos relevantes a la hora de realizar la polarización del amplificador, en esta sección veremos la polarización escogida y la razón de la escogencia de los puntos más críticos. La Polarización final es la mostrada en la figura 4.9, con los voltajes de bias de la tabla 4.1, con especial relevancia en el voltaje VB3, que hace que la etapa de entrada este en

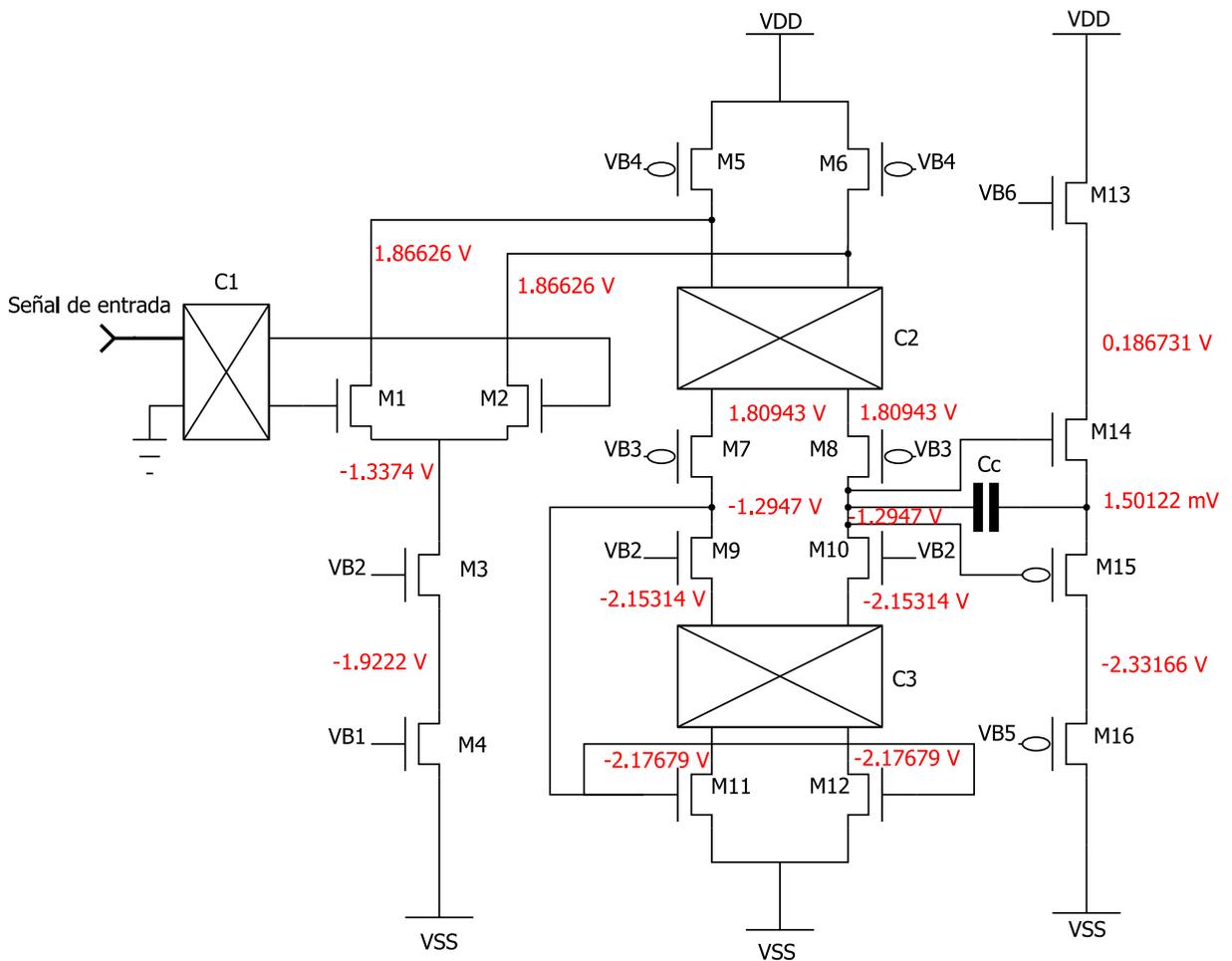


Figura 4.9: Polarización del amplificador.

el punto exacto de subthreshold de los MOSFET tipo N de la etapa de entrada. En la tabla 4.2, se exponen los tamaños de los transistores, note que la combinación del voltaje VB2 y el tamaño de los transistores M1, M2, M3 y M4 hace que la etapa de entrada estén en el borde con subthreshold, como se había discutido en secciones anteriores, este es el punto óptimo de trabajo. Note, además, que los transistores de la segunda etapa son de mayor tamaño, puesto que en esta etapa se realiza la buena parte de la amplificación, por tanto requiere mayores corrientes.

El voltaje de bias VB5 es muy específico, para lograr que la etapa de salida tenga un voltaje muy cercano a cero para poder realizar simulaciones adecuadas en malla abierta. Note que en la salida previa a la última etapa se tiene un voltaje negativo, esto se debe a que la re-alimentación sobre M11 y M12 los lleva a un alto voltaje de Gate-Source, esta re-alimentación asegura que la misma corriente circule por ambas ramas. Los voltajes y los tamaños de la última etapa están planeados para que la salida se acerque a cero voltios. Además, los bloques de *Chopper* fueron dimensionados para manejar las corrientes adecuadas, con los tamaños mostrados en la tabla 4.3. Por supuesto los *dummies*, están incluidos, antes y después, con la mitad del ancho. El capacitor de compensación se escogió de 28.64 pF, con un área de 28 nm², un ancho de 200 μm

Referencia Circuitual figura 4.9	Voltaje
VB1	-1.63
VB2	-0.8
VB3	0.5
VB4	1.3
VB5	-1.5399836
VB6	1.356

Tabla 4.1: Valores de voltajes Bias del amplificador.

y un largo de $140 \mu m$, el mismo es realizado entre dos áreas de polisilicio, pues la tecnología tiene doble polisilicio.

Referencia Circuitual figura 4.9	Tamaño
M1 y M2	$64 \times 2.4 \mu m$
M3 y M4	$128 \times 2.4 \mu m$
M5, M6, M7 y M8	$240 \times 2.4 \mu m$
M9, M10, M11 y M12	$80 \times 2.4 \mu m$
M13 y M14	$32 \times 2.4 \mu m$
M15 y M16	$85 \times 2.4 \mu m$

Tabla 4.2: Tamaño de los transistores.

Referencia Circuitual figura 4.2	Tamaño
C1 y C3	$18 \times 0.6 \mu m$
C2	$24 \times 0.6 \mu m$

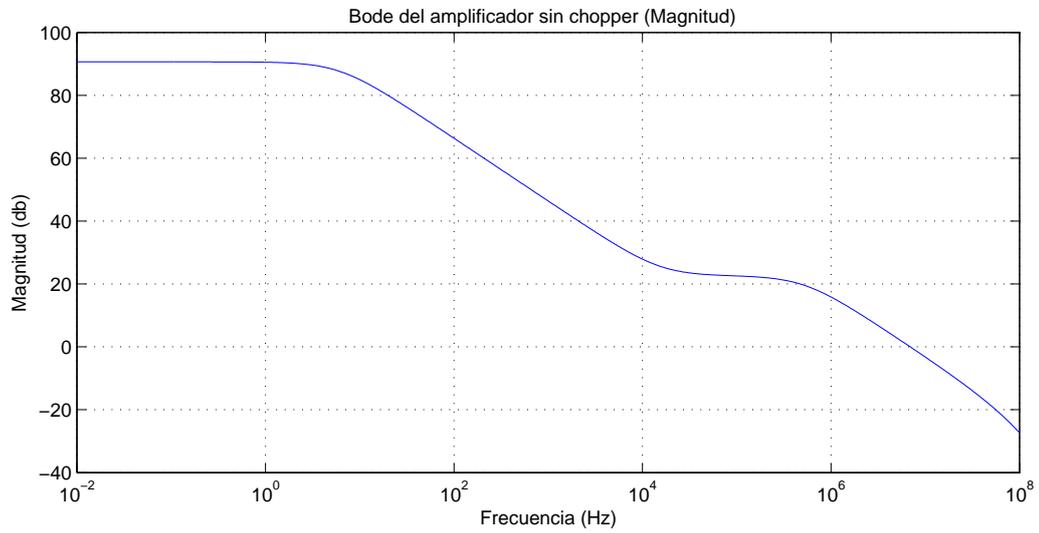
Tabla 4.3: Tamaño de los transistores de las celdas de *Chopper*

Finalmente, cabe resaltar que los datos en la tabla 4.1 fueron tomados realizando un análisis de punto de operación (op), con la herramienta Custom Designer de Synopsys®, usando el comando op de hspice, manteniendo el valor dc de las señales de reloj como si los mismos estuvieran estacionarios, uno en alto y otro en bajo. Estos datos fueron después exportados a un archivo de Matlab®, donde fueron finalmente graficados.

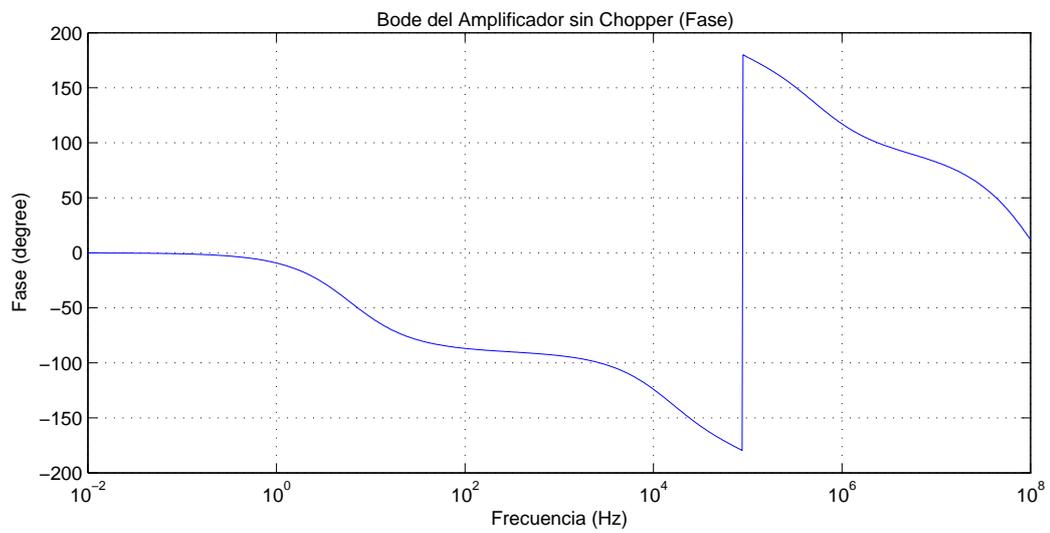
4.8. Bode del Amplificador

Una vez que la polarización del amplificador es realizada, queremos conocer algunos parámetros del mismo, como son amplificación en frecuencias bajas, frecuencia de corte, margen de fase o ganancia y por supuesto cómo se comporta en ruido. En esta sección veremos los resultados de estas simulaciones sin realizar ninguna multiplicación, para después estudiar el efecto que tiene la misma sobre estos parámetros del amplificador.

En la figura 4.10, se presenta el bode del amplificador. Lo primero que se observa, es que no es estable en con ganancia unitaria, pero debido a la aplicación, no se espera que se use por debajo de 40 db, por tanto no es tan relevante la estabilidad en ganancia unitaria, sino a aquella



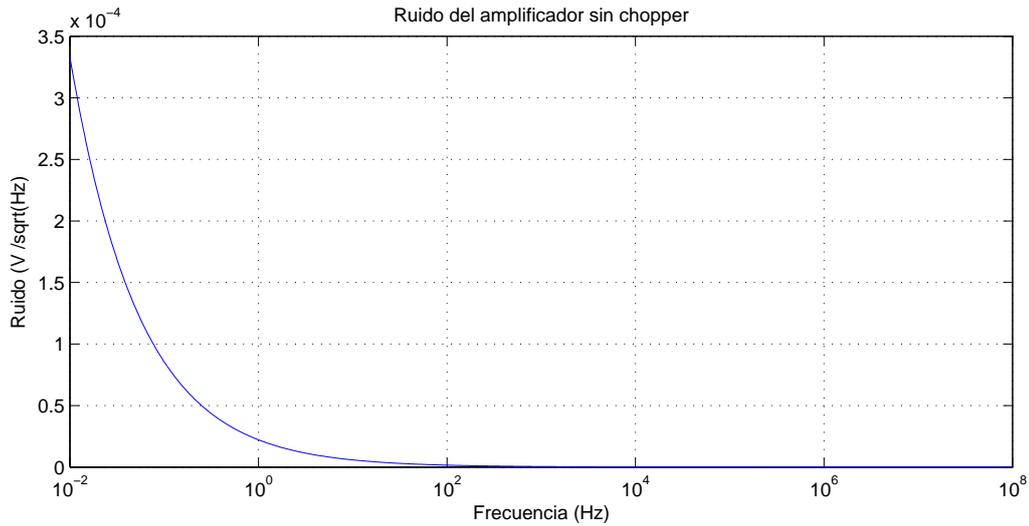
(a) Bode Magnitud



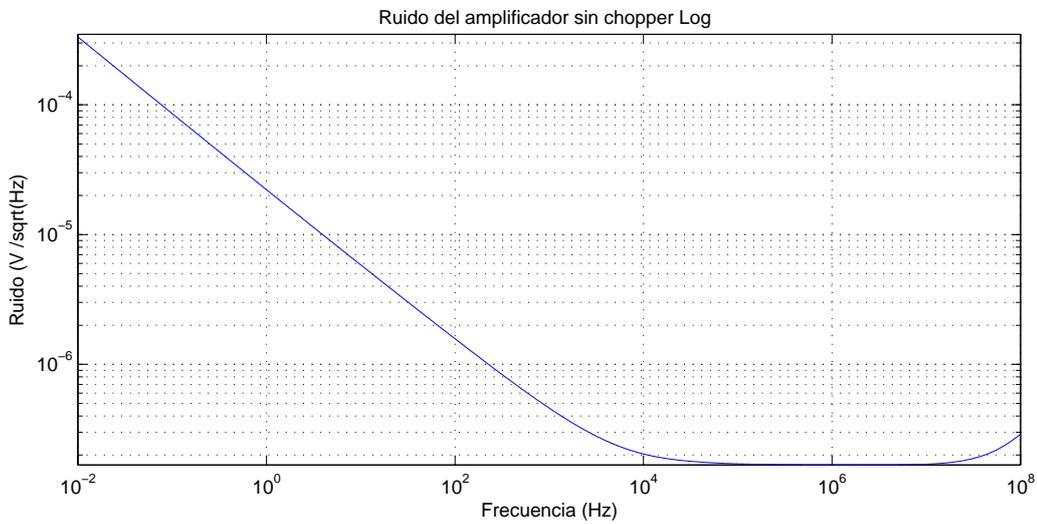
(b) Bode Fase

Figura 4.10: Bode del amplificador sin *Chopper*.

magnitud sin realimentación. Se obtiene una ganancia en bajas frecuencias superior a 90 dB y un ancho de banda de aproximadamente de 10 Hz. Ahora, el análisis de ruido se resume en la figura 4.11, si bien en la figura 4.11a podría estimarse un codo de ruido cercano a 1 kHz, la figura 4.11b, se muestra que el ruido no deja de disminuir hasta cerca de los 10 kHz. Este resultado es relevante puesto que, como se explica en la sección 2.3, el ruido en la técnica de *Chopper* depende de la relación entre la frecuencia de (switcheo) y la frecuencia del codo de ruido del amplificador.



(a) Ruido escala lineal



(b) Ruido escala logarítmica

Figura 4.11: Ruido del amplificador sin *Chopper*.

Los datos mostrados en las figuras 4.10 y 4.11, fueron creadas haciendo un análisis ac sobre el punto de operación, manteniendo el valor dc de las señales de reloj como si los mismos estuvieran estacionarios, uno en alto y otro en bajo. La simulacion se realizo con el comando ac de hspice,

los datos resultantes fueron después exportados a un archivo de Matlab®, donde finalmente son graficados.

4.9. Sobre la Simulación con *Chopper*

La simulación común en frecuencia es realizada únicamente con la polarización del amplificador, lo cual presenta impedimentos para circuitos que varían en el tiempo como lo es un amplificador con técnicas de *Chopper*. Es necesario realizar otro tipo de simulación que incluye análisis temporal y al mismo tiempo calcula los parámetros de frecuencia. De este tipo de simulaciones, se escoge la Shooting-Newton (sn) de estado estable, que es una de las llamadas PAC (Periodic AC), que calcula los parámetros de frecuencia después de realizar al menos una simulación en un ciclo de la señal, que se asume periódica -en este caso la señal que controla los switches- y tratan de 'balancear' los parámetros AC. En la suite de Synopsys® esta simulación tiene varias hijas o simulaciones acompañantes, para determinar el ruido (snnoise), el bode (snac) y la función de transferencia (snxf) por aparte, cada una con sus restricciones y su tiempo de realización. Para mayor información vea [11].

4.10. Influencia de la frecuencia de *Chopper*

Como se mencionó en la sección 2.3, la frecuencia de *switcheo* tiene una fuerte influencia en el ruido del transistor, pues este aumenta con la relación entre la frecuencia de *Chopper* y la frecuencia del codo de ruido. En la figura 4.11, se mostró que la frecuencia del codo de ruido real del transistor estaba cerca de los 10 kHz, teniendo esto en cuenta se realizan simulaciones para mostrar cómo afecta el ruido el cambio en la frecuencia de *switcheo* y demostrar que el mejor compromiso se obtiene al igualar la frecuencia de *switcheo* con la frecuencia del codo de ruido, como se menciona en [6].

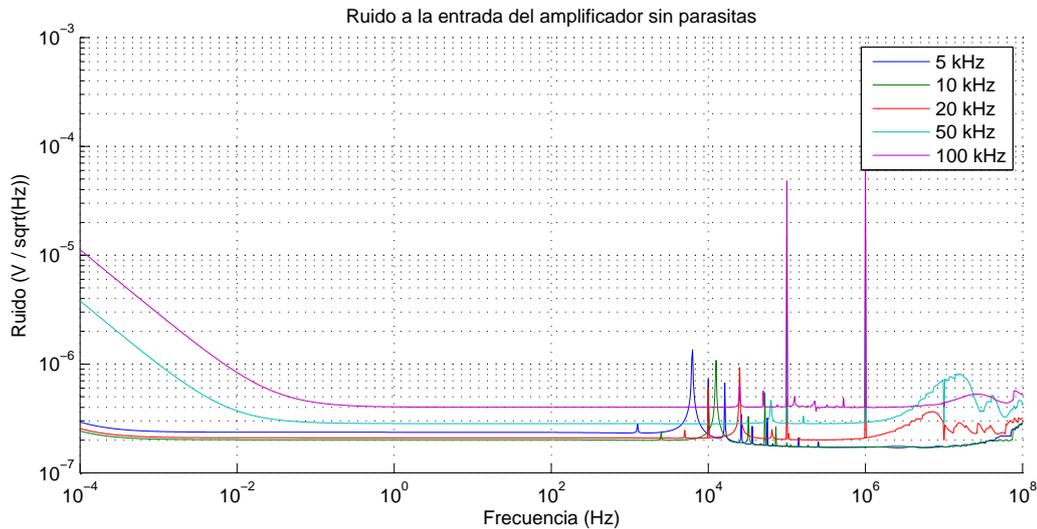


Figura 4.12: Ruido a diferentes frecuencias de *Chopper*

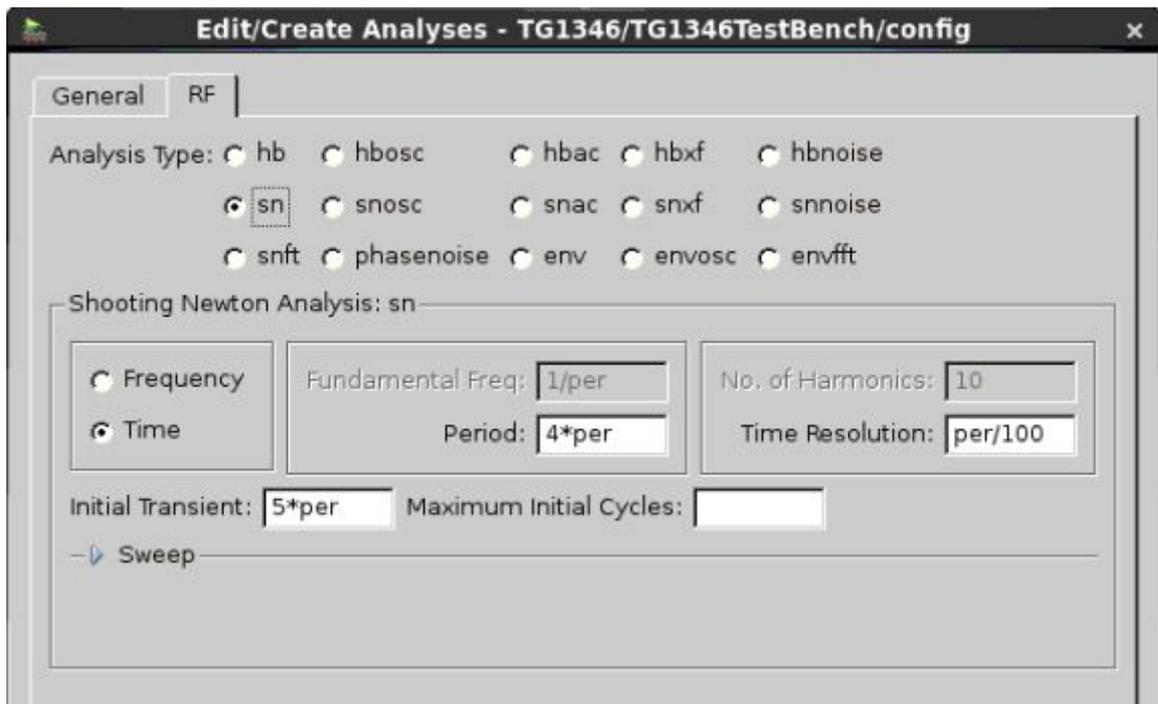


Figura 4.13: Forma de expresar los parámetros de la simulacion Shooting-Newton.

La figura 4.12 muestra el ruido a diferentes frecuencias de *switcheo* para el amplificador diseñado, es claro que los menores valores de ruido en la banda de interés se logran cuando se *switchea* a 10 y a 20 kHz, con una ligera mejora en 10 kHz. También es notable que al comparar los valores de ruido con y sin *Chopper*, es decir la figura 4.11 y la figura 4.12, el ruido, además de disminuir el ruido $1/f$, se acerca mucho al ruido blanco original del amplificador, logrando una amplia reducción en el ruido intrínseco y por tanto en la SNR (relación señal a ruido).

La frecuencia de *Chopper* no influye únicamente en ruido intrínseco del transistor, también afecta el consumo de potencia, por estas dos razones, la frecuencia de (*switcheo*) escogida para las demás simulaciones con *Chopper* es de 10 kHz. Estas simulaciones fueron realizadas con un análisis paramétrico, que toma los puntos de interés de una variable de diseño que controla el periodo de las señales de reloj, cuyo ciclo útil esta fijo en la mitad del periodo. La simulacion periódica (sn) también se expresa en términos de esta variable, para que siempre cubra la misma cantidad de ciclos, tenga un transiente inicial de una cantidad de ciclos y una resolución en tiempo dependiente de esta misma variable, así todas las gráficas tienen la misma densidad de puntos. Estos datos fueron exportados a Matlab® donde finalmente son graficados. Para mejor entendimiento del lector, la figura 4.13 muestra la pantalla que permite programar la simulacion Shooting Newton.

4.11. Bode del amplificador con *Chopper*

Las secciones anteriores se estudiaron los elementos necesarios para poder realizar simulaciones del amplificador que sean reflejo de la implementación real con técnica de *Chopper*. En esta sección veremos los resultados de las pruebas y los parámetros alcanzados por el amplificador

cuando la simulación incluye la técnica de *Chopper* y cómo estos cumplen las especificaciones mínimas requeridas.

En la figura 4.14, se muestra la ganancia del amplificador con *Chopper*, el autor pide disculpas al lector, pues la información no es clara en esta figura, debido a que infortunadamente no fue posible adquirir los datos por ningún otro método. En la figura hay un espectro no simétrico, en los valores que se encuentran en la parte derecha de este espectro se puede distinguir una respuesta muy parecida a la que se tiene en bajas frecuencias para el amplificador sin *Chopper*. Esta figura fue creada con el algoritmo *saxf*(*Shooting-Newton Transfer Function*), que calcula las funciones de transferencia a una banda de frecuencia, teniendo en cuenta todas las bandas laterales de la fuente escogida. Es por este motivo que cada frecuencia parece tener una respuesta en la salida del circuito y hay tantos datos esparcidos por la gráfica. Este bode no pudo ser realizado con la función *snac*(*Shootin-Newton AC*), que calcula la respuesta ac de un circuito con polarización cambiante en el tiempo, puesto que este análisis requiere que la solución se reduzca a un solo tono de la señal que maneja los switches y modifica la polarización del circuito. Esto no ocurre con señales cuadradas, como los son los relojes complementarios usados.

Por otra parte en la figura 4.15, se muestra la respuesta de ruido del amplificador con *Chopper*. Esta gráfica está incluida en la figura 4.12, pero en esta sección se le da relevancia a la frecuencia escogida. Note que al comparar la respuesta de ruido contra la figura 4.11, puede observarse una disminución sustancial y casi total del ruido $1/f$, en frecuencias mayores a 50 mHz, que es la banda de interés. La disminución es equiparable a tener únicamente ruido blanco, como se ilustra en la figura 4.16. Note que el ruido con *Chopper* en la banda de interés es ligeramente mayor al ruido blanco sin *Chopper* en alta frecuencia. Las gráficas de ruido con *Chopper* son realizadas con el algoritmo *snnoise*(*Shooting-Newton Noise*), que dada la solución del algoritmo *Shooting-Newton*, calcula el ruido en un punto del circuito respecto a todas las fuentes de ruido, dentro de un intervalo de frecuencias.



Figura 4.14: Ganancia con *Chopper*.

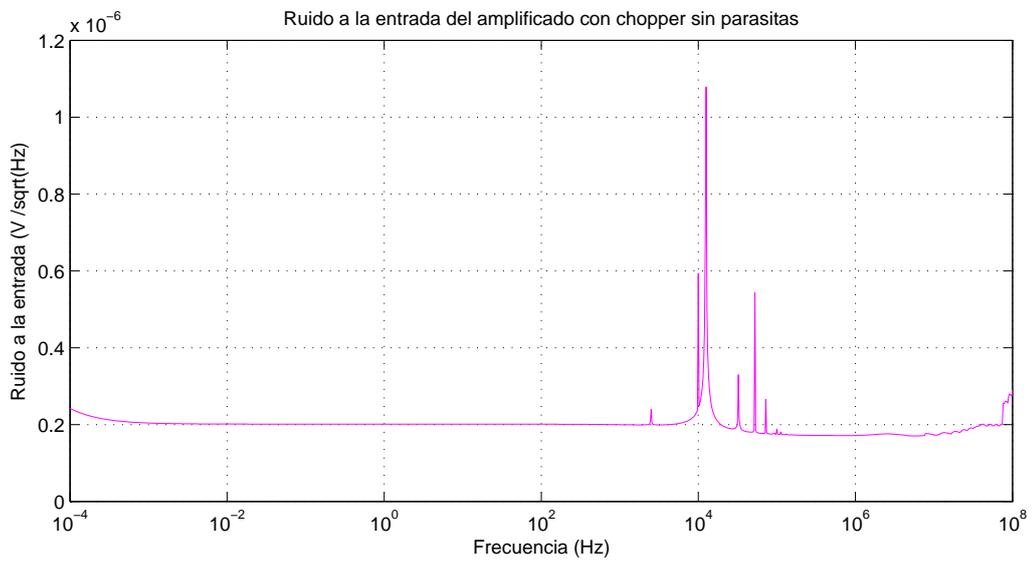


Figura 4.15: Ruido del amplificador con *Chopper*.

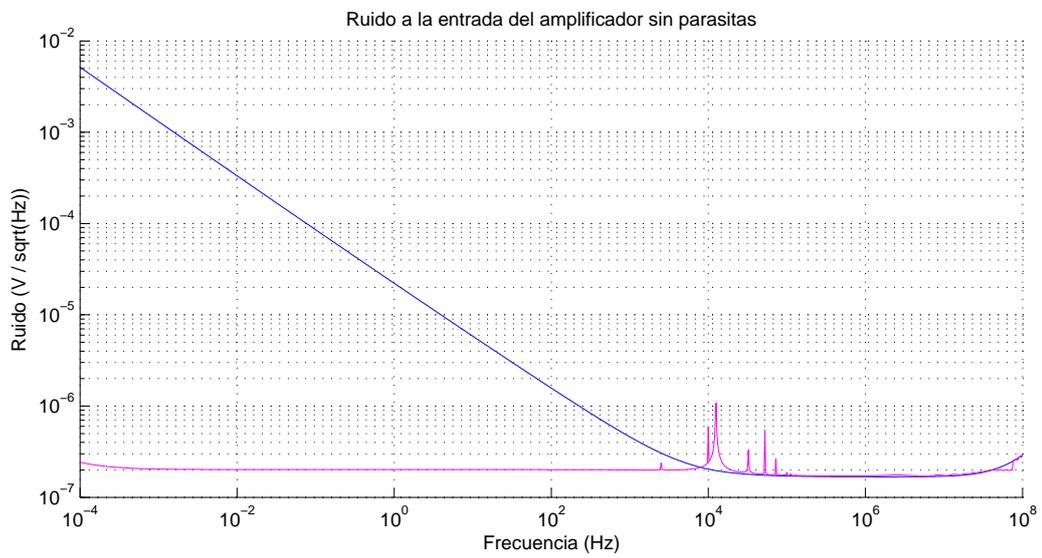


Figura 4.16: Ruido del amplificador con y sin *Chopper*.

4.12. Pasos Previos al *Layout*

Hasta este punto hemos tratado con modelos de transistores sin conexiones, es decir, los transistores incluyen sus propios efectos parásitos en el modelo, pero las conexiones con metales y entre sí aún no han sido especificadas. Cabe resaltar que, además, no hemos mencionado qué pasa si alguno de los transistores, por errores en el proceso de fabricación, es ligeramente mayor o menor a su contraparte. Por ejemplo, en el circuito diferencial de la etapa de entrada, ni cómo afectarían estos cambios la polarización y la respuesta en frecuencia. Por este motivo es necesario seguir una serie de pasos previos a la realización del *Layout*, que permitan simplificar el problema completo en un conjunto de problemas más pequeños y que si de ser planeados y dimensionados de forma adecuada, nos permitirá realizar las conexiones de forma apropiada, tanto para las señales como para los caminos de potencia.

Primero debemos dividir el problema en bloques más pequeños, para realizar el *Layout* de cada bloque de forma más simple, para después realizar la conexión de todos los bloques que constituyen el amplificador completo. Los bloques en los que se divide el amplificador se muestran en el esquema de la figura 4.17. Por la simetría se puede ver la necesidad de hacer que los transistores en cada bloque sean tan parecidos como sea posible, para esto se usarán técnicas que se explican en la sección 4.13.

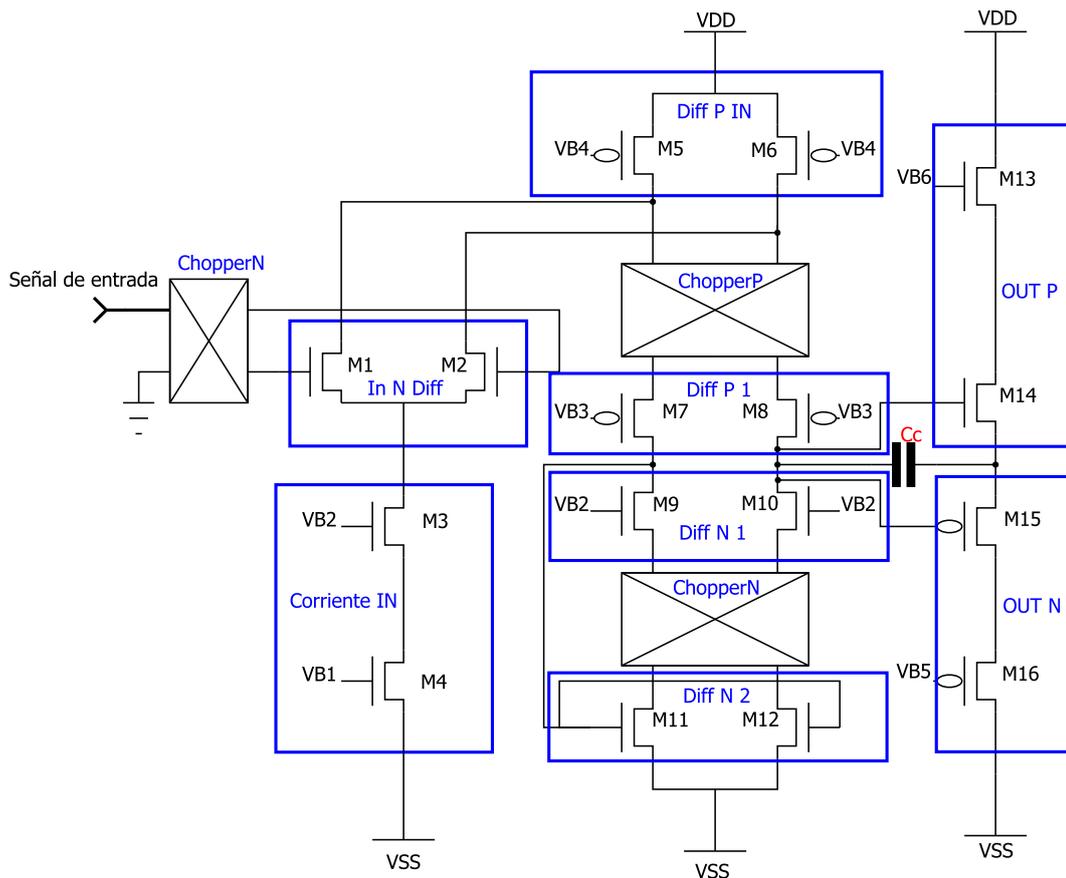


Figura 4.17: Esquemático con división de bloques.

Una vez que los bloques han sido distinguidos dentro del amplificador y ya que conocemos las dimensiones de cada transistor, podemos realizar un Floor Plan que permite planear, con estimados del tamaño de los bloques, la conexión final. Por supuesto como los bloques no han sido construidos pueden haber discrepancias entre los tamaños pensados y los reales, este planteamiento sirve para, estimar en dónde realizar las conexiones entre bloques, como distribuir el espacio y ver cómo pueden conectarse las señales externas al circuito. El Floor Plan diseñado se muestra en la figura 4.18, los tamaños de los bloques están a la misma escala y el Bloque Cc es el capacitor de compensación.

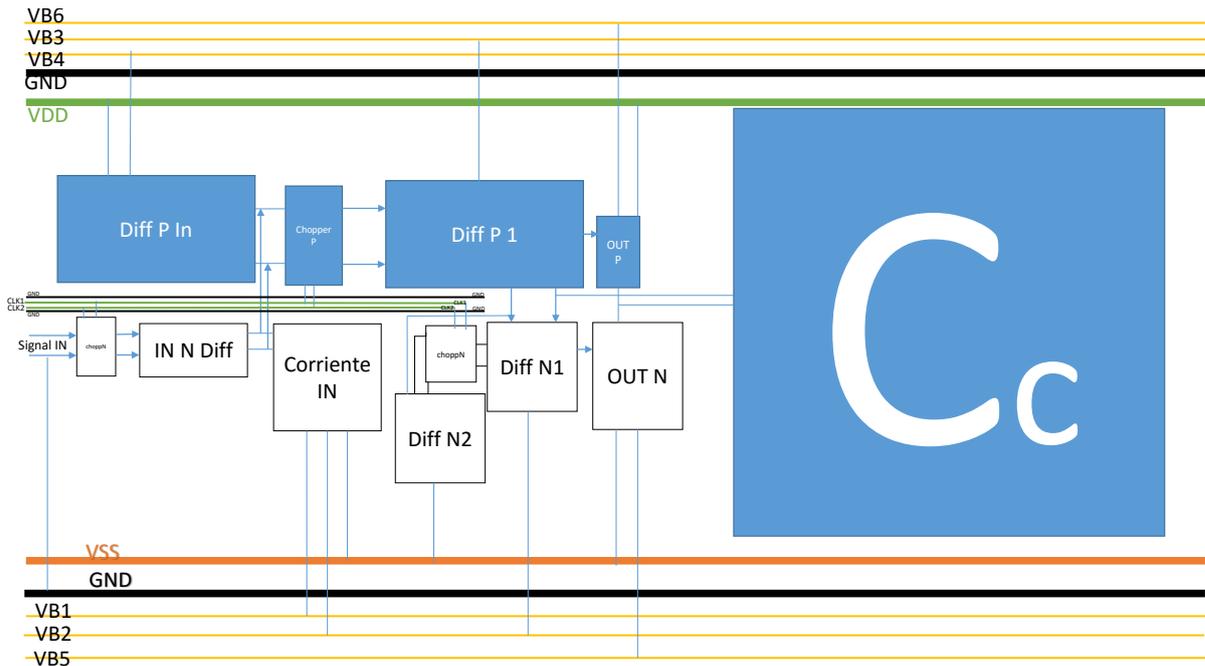


Figura 4.18: Floor Plan.

Con el Floor plan definido, es ahora mucho más sencillo discernir las conexiones de los bloques, pues ya se conoce la ubicación de los mismos y las conexiones entre unos y otros. Al realizar el Floor plan se tuvo en cuenta: el camino de la señal; la distribución de potencia y voltajes de polarización; el camino de las señales de reloj y el tamaño del capacitor de compensación. Ahora resta realizar el Layout de cada bloque, pensando en las conexiones con su entorno, para que el Layout final sea adecuado.

4.13. Sobre el Matching, el Fingering y el Centroide Común

Como mencionamos en el capítulo anterior, existe la posibilidad de que debido a errores del proceso de fabricación, algunos transistores no sean exactamente del tamaño que se proponen y, de hecho, varios de los transistores propuestos tienen dimensiones demasiado grandes para ser creados como uno solo, por tanto deben ser realizados uniendo varios de ellos, con el mismo ancho (W) y una fracción del alto original, hasta completar el alto requerido -a esta técnica se le

denomina *Fingering* (por dedos en inglés)-. Esta y otras técnicas como el *Matching* y el *centroide común* han sido creadas para disminuir e incluso eliminar, algunas de las imperfecciones que puedan ocurrir en el proceso de fabricación y serán ilustradas de forma sencilla a continuación.

Muchas veces por problemas en la alineación de las capas, especialmente durante las fotolitografías en el proceso de fabricación de MOSFETs, se tiene que los posos de un MOSFET a un extremo del chip sean de menor o mayor tamaño que los posos de otro MOSFET al lado contrario del chip, aunque se hubiesen diseñado del mismo tamaño. Este error es imposible de predecir para el diseñador, pero están dentro de un rango garantizado por el fabricante, lo cual no es problema reciente, pues se asemeja la tolerancia de una resistencia. El problema real radica en que hay diseños en los que se desea que dos MOSFET sean tan iguales como sea posible, como es el caso de entradas diferenciales y ramas diferenciales. Es allí donde se combina la técnica de *fingering* y el *centroide común* para formar la técnica de *matching*. Ésta consiste en intercalar dedos de dos MOSFET diferentes, para que durante el proceso de fabricación ambos se vean afectados de igual forma y aunque sean de mayor o menor tamaño del nominal, sean muy parecidos entre sí. Esta técnica también se usa con capacitancias acopladas y otros circuitos, que requieren una relación altamente precisa entre dos componentes.

El *centroide* es el punto sobre el cual se encuentra el balance entre las áreas de los componentes de una misma instancia y se denomina *común* cuando dos instancias tienen su *centroide* en el mismo punto, generalmente durante la técnica de *matching*. Para ilustrarlo con claridad se expone el siguiente ejemplo: Se tienen dos MOSFETs pertenecientes a una entrada diferencial, de largo $20\ \mu\text{m}$ y ancho $0.6\ \mu\text{m}$. Se divide, entonces cada MOSFET en 4 dedos de $5\ \mu\text{m}$ de alto y $0.6\ \mu\text{m}$ de ancho, se nombran los dedos como pertenecientes a A o B y se instancian de la forma vista en la figura 4.19a. Con una cruz azul se simboliza el *centroide* de las instancias A y con una equis roja el *centroide* de las instancias B, como coinciden, el *centroide* es común.

En el ejemplo de la figura 4.19a el *centroide* se considera en una sola dimensión, pero generalmente el *centroide* se aplica en dos dimensiones y muchas veces es necesario incluso repartir en diferentes secciones, debido a la gran longitud de las instancias. La figura 4.19b muestra la extensión de la técnica a cuatro cuadrantes, marcando el *centroide* común de las instancias de la misma forma, note que la forma en la que se acomodan los *fingers* de cada transistor cambia para generar una alta simetría y rechazar mejor las posibles variaciones de fabricación.

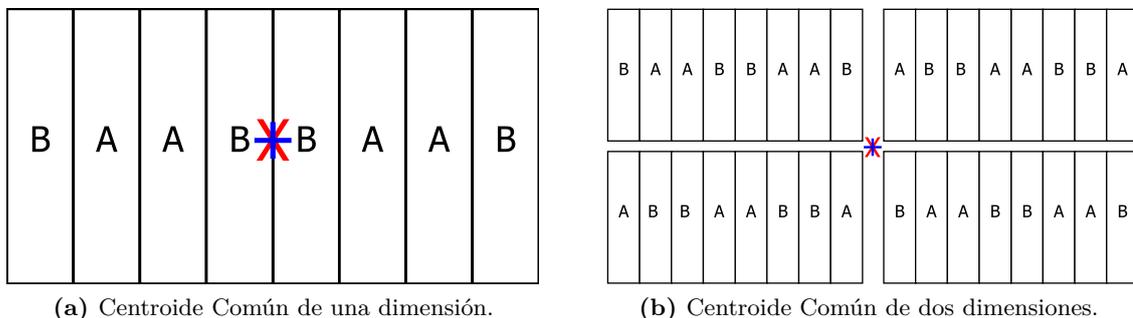


Figura 4.19: Explicativo *centroide* común.

4.14. *Layout* de los bloques del Amplificador

En las secciones anteriores ya discutimos las técnicas usadas para disminuir fuertemente los efectos de los errores en el proceso de fabricación, la distribución apropiada del Layout general del amplificador y la escogencia de los bloques que le componen, es ahora tiempo de realizar el Layout de cada bloque; como este proceso es largo y complicado en este capítulo veremos un resumen del producto final de algunos bloques altamente relevantes, mostrando la aplicación de las técnicas antes mencionadas. Estos y los demás bloques se pueden ver con más detalle en el Anexo 2. Estos bloques son diseñados con la herramienta Custom Designer de Synopsys, usando una interfase de Layout dirigido por el esquemático (Schematic Driven Layout, SDL), que permite instanciar en Layout los componentes del esquemático y la conexión se realiza a mano o con un algoritmo especial. En este proyecto, todas las conexiones de Layout son realizadas a mano, para poner en practica las técnicas de Layout estudiadas, para mejorar las especificaciones del circuito fabricado.

En la figura 4.20, se muestra el Layout de la celda de Chopper, implementada con MOSFETs tipo N. Se ven claramente las dimensiones -en μm - y las conexiones en general. Note que la celda se compone de 8 pequeñas celdas interconectadas, cada una de estas contiene tres transistores juntos, donde dos de ellos dummies y el otro, en la mitad y con cuatro dedos, es de la mitad del tamaño especificado para cada transistor de la celda, pues tiene una contraparte en la columna al lado, para realizar el matching con todos los transistores de la celda, cumpliendo con centroide común. Si por ejemplo la mitad de uno de los transistores está en la columna de la izquierda en la parte más superior, su contraparte se encuentra en la parte más inferior de la columna derecha. Si se encontrase de segundo, contando de arriba hacia abajo en la columna izquierda, su contraparte se encontraría tercero, contando de la misma forma en la columna derecha. Es así como esta celda tiene los transistores y dummies distribuidos para generar un matching con todos los transistores y centroide común para los cuatro.

En la figura 4.21, se muestra el Layout realizado del diferencial de entrada. Note como las salidas OutA y OutB están orientas hacia arriba, las entras InA e InB estan al lado izquierdo en polisilicio y metal 1 respectivamente, la salida IBIAS a la derecha, todo esto consistente con el floor plan de la figura 4.18. Se puede además apreciar las dos filas de transistores que forman centroide común en dos dimensiones, incluso las áreas de metal 1 -en blancuzco- y metal 2 -en amarillento- están balanceadas y con simetría. Las figura son convertidas por el visor de Layout de Custom Designer, en archivos .svg, que es de formato gráfico vectorial e incluidas luego en el texto al ser convertidas a formato pdf.

En este bloque se tuvo en cuenta la entrada y salida de corriente para intentar que los campos magnéticos se cancelaran, para esto, la corriente, según la convención, entraría desde la parte superior derecha y continuaría hacia el circuito de derecha a izquierda, tanto en la parte superior como en la parte inferior. Ahora la corriente fluye desde arriba y desde abajo hacia la parte central del layout, finalmente es recogida en el nodo central y circula de izquierda a derecha, hacia el siguiente bloque. Por tanto el campo magnético que crea la corriente en cada dirección debería ser anulado, en estado estable, cuando la corriente entra y sale del circuito.

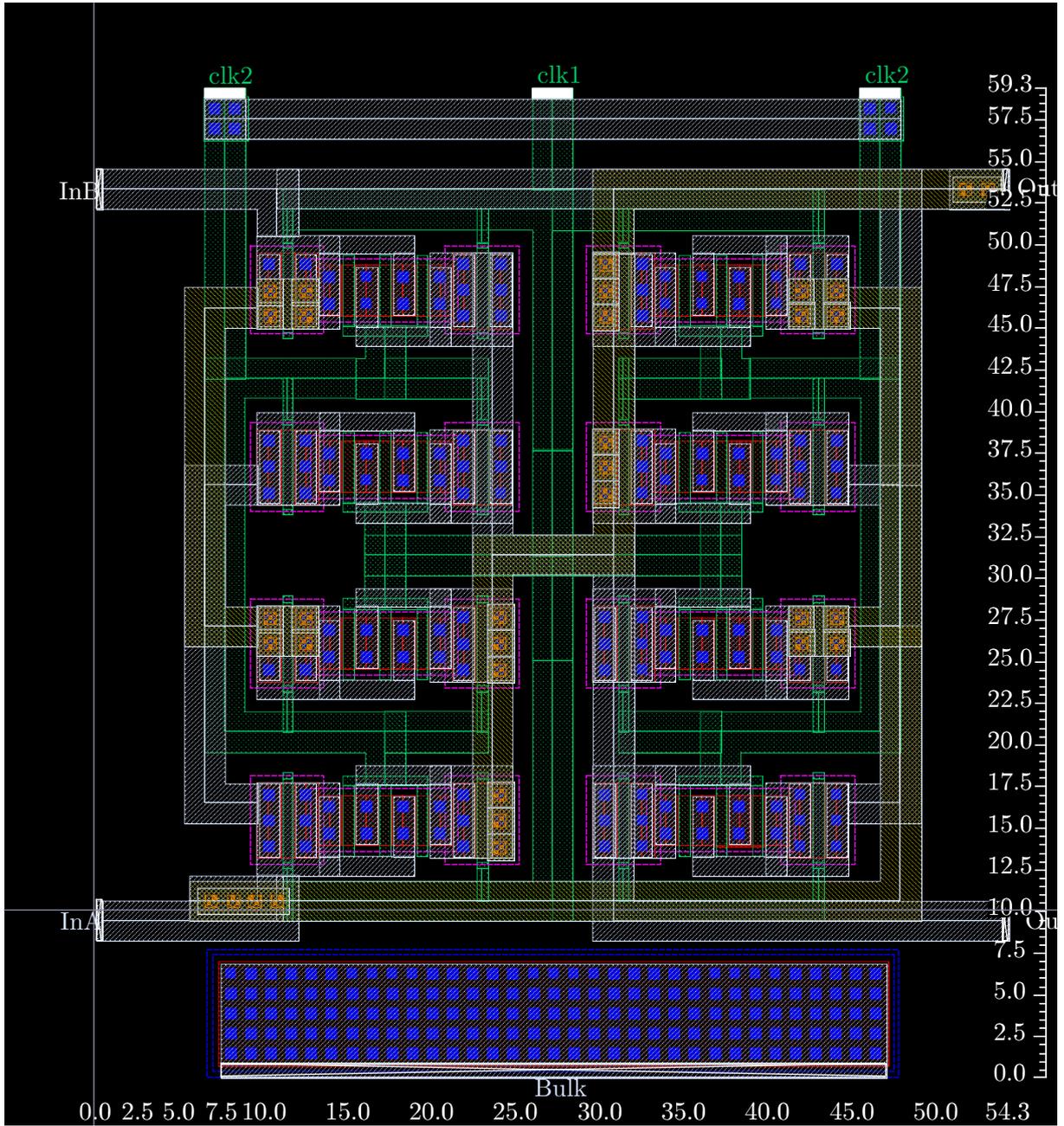


Figura 4.20: *Layout del Bloque de Chopper N.*

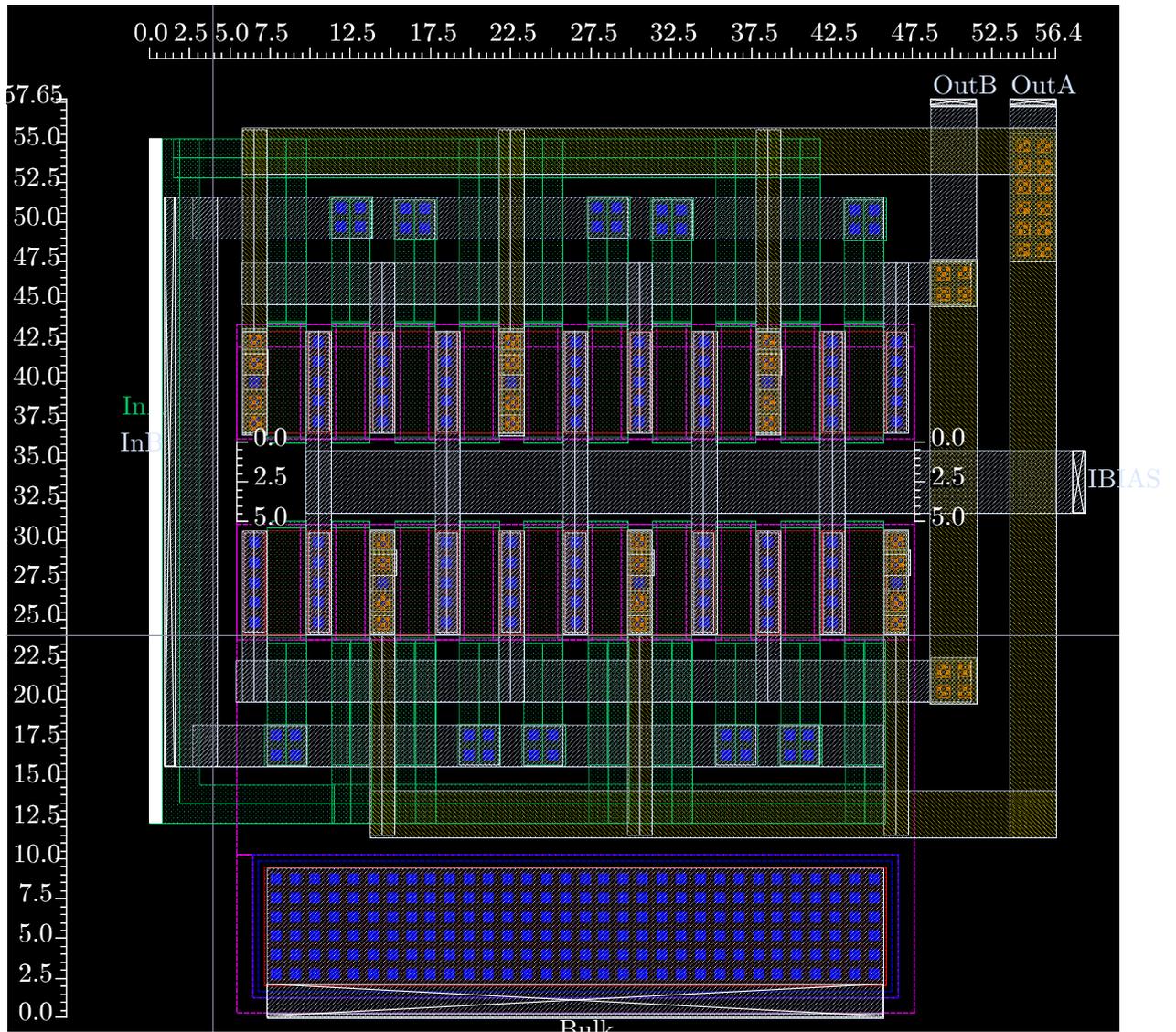


Figura 4.21: *Layout* del Bloque del Diferencial de entrada.

4.15. *Layout* del Amplificador Completo

Una vez realizados los *Layout* de los bloques el siguiente paso es tomar cada bloque, instanciarlo y realizar las conexiones entre ellos, con los voltajes de alimentación y las señales de reloj y entrada. Una vez completado este proceso que -como ya discutimos- tiene sus consideraciones, solo resta realizar la comparación de *Layout* contra esquemático (*LVS*) que indica si el *Layout* realizado corresponde con el esquemático para luego extraer las componentes parasitas (*LPE*), para realizar, con este efecto, simulaciones y hacer el análisis adecuado. Cabe resaltar que el análisis de *LVS*, se realiza con la herramienta *Hercules*, la cual es compatible la tecnología y está integrada con el *Custom Designer*, lo que permite realizarla desde la ventana de *Layout*. La extracción de componentes parasitas se realiza con la herramienta *Starrc*, que también está integrada con *Custom Designer* y es compatible con la tecnología. Una vez extraídas las componentes parasitas, éstas se almacenan en una vista del proyecto llamada *starrc*, que comparte nombres de nodos con el esquemático, pues con éste se realizó *LVS*.

Se puede apreciar en la figura 4.22 el *Layout* completo, note que se parece bastante al floor plan de la figura 4.18, las mayores diferencias se hayan en el tamaño de los bloques de *Chopper*, de los caminos de potencia y los transistores tipo *N* de la etapa de salida. Aun con las diferencias, es notable que se siguió el floor plan con breves ajustes dados los errores del dimensionamiento calculado. La figura es convertida por el visor de *Layout* de *Custom Designer*, en archivo *.svg*, que es de formato vectorial e incluida en el texto al ser convertidas a formato *pdf*.

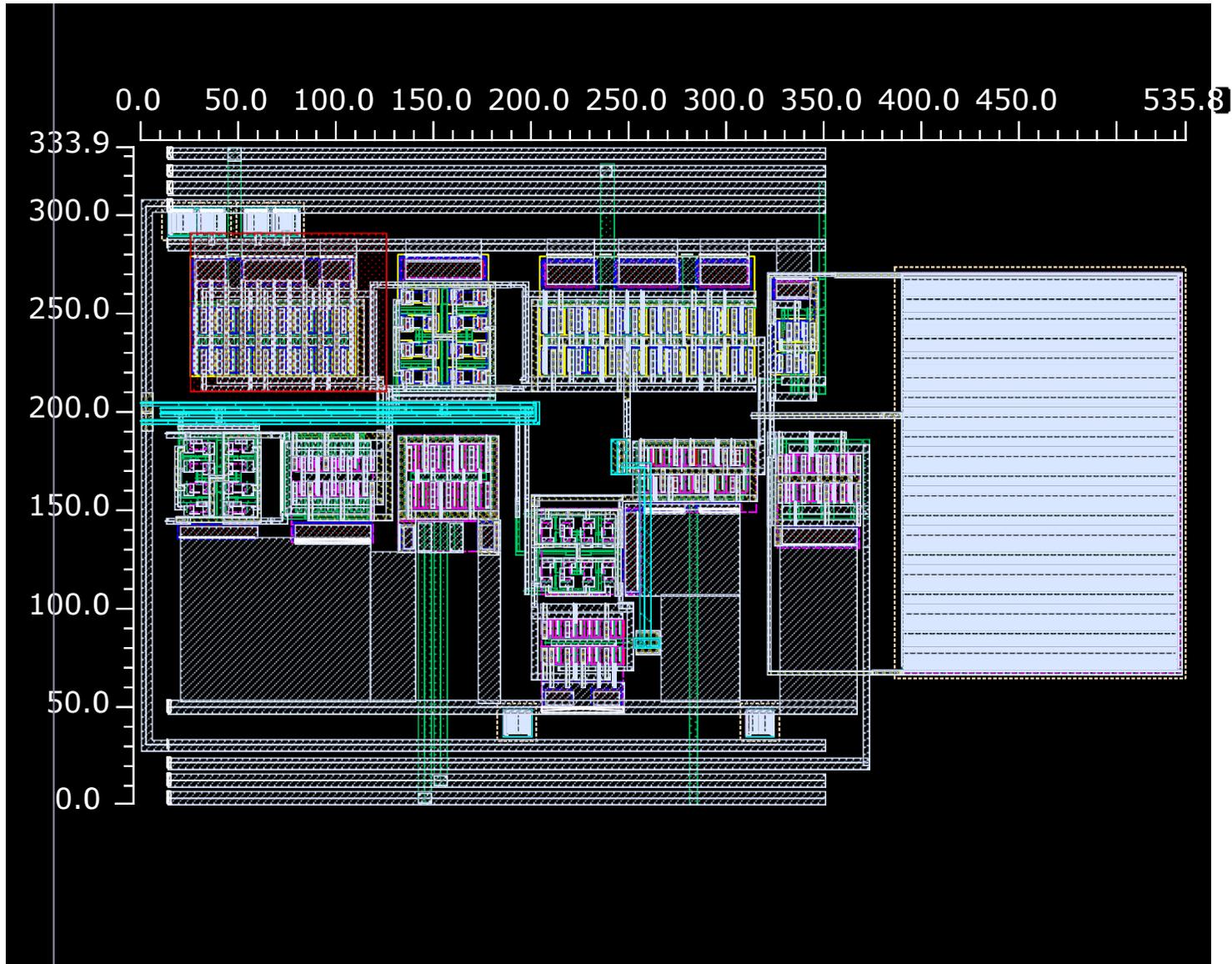


Figura 4.22: *Layout* del Amplificador Completo.

4.16. Simulaciones y Resultados

En esta sección se reportan las simulaciones que no fueron usadas durante el proceso de diseño puesto que no eran relevantes en el mismo, mas son necesarias para obtener los parámetros más relevantes del amplificador, como lo son su respuesta en frecuencia, con y sin Chopper y en algunos casos incluyendo efectos de componentes parásitos extraídos del Layout. En esta sección, se presentan los resultados de manera completamente informativa, su respectivo análisis y contextualización se encuentran en el capítulo de análisis de resultados. En la figura 4.23, se muestra los resultados de la simulación para ruido incluyendo los efectos de componentes parásitos extraídos del Layout.

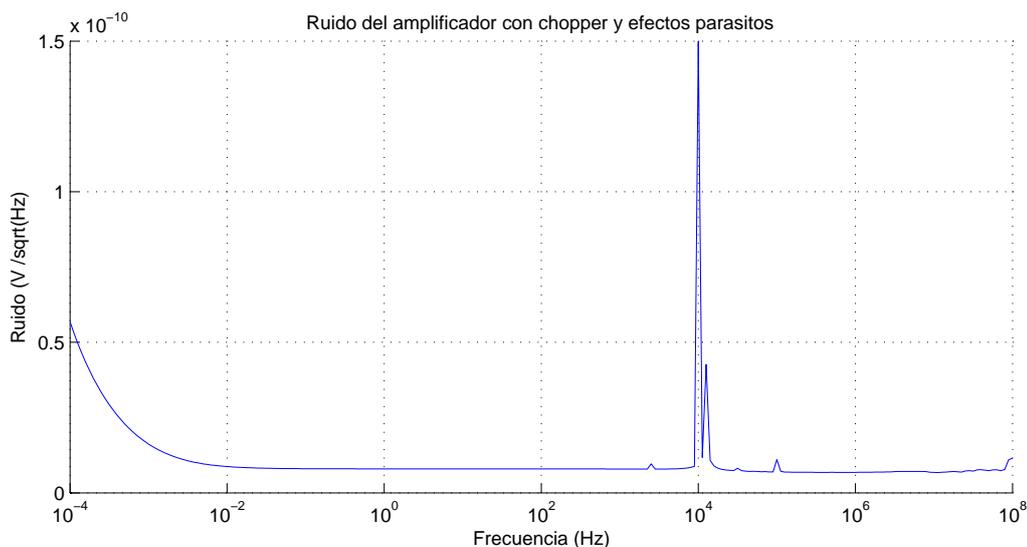
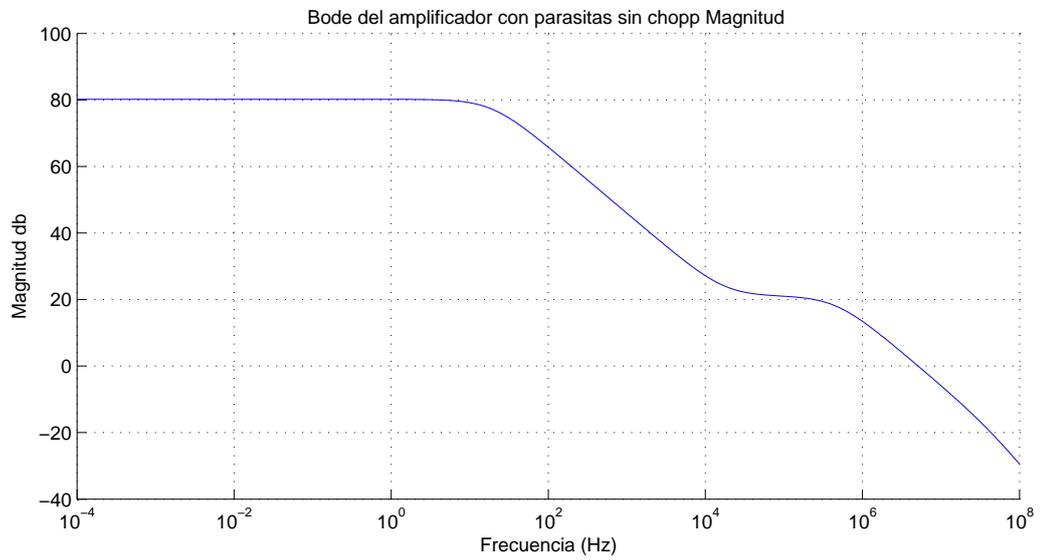


Figura 4.23: Ruido del amplificador con *Chopper* y con efectos de componentes parásitos.

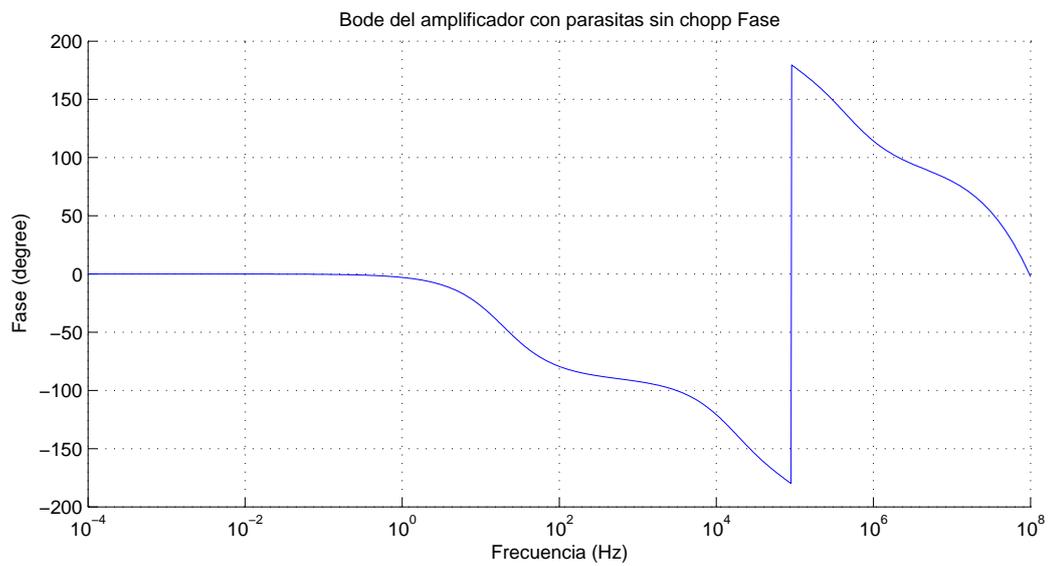
Por otra parte los resultados en la figura 4.24, que presentan el bode del amplificador sin *Chopper* y con efectos de componentes parásitos, nos muestran una disminución en la ganancia del amplificador, aproximadamente de 10 dB en frecuencias bajas. En cambio la respuesta en fase y la ubicación de los polos se mantiene relativamente estable, lo que permite su “utilización” en la aplicación con una ganancia re-alimentación mayor a 30 db. Puesto que la aplicación requiere de una ganancia mínima de 40 db, este factor no es un impedimento.

Continuando con las simulaciones que muestran el rendimiento del amplificador diseñado, se evalúa el consumo. Como la corriente del amplificador cambia con el tiempo, se realiza una simulación en tiempo y se toma el promedio a lo largo de varios ciclos, para determinar el consumo de forma mas precisa. El consumo calculado del amplificador, usando el método descrito, es de 1.37 mW, cabe mencionar que no se construyeron las etapas que crean la polarización a partir de los voltajes de fuente, ni el circuito que crea las señales de reloj, pues las mismas no eran objetivo principal, ni secundario, del proyecto.

Es necesario aclarar en este punto que en el anteproyecto se menciona la posibilidad de hacer los análisis de peores casos, dentro del circuito implementado, usando simulaciones tipo Monte



(a) Bode Magnitud



(b) Bode Fase

Figura 4.24: Bode del amplificador sin *Chopper*, con parásitas

Carlo. No fue posible realizar este tipo de simulaciones pues requieren los valores máximos y mínimos de las esquinas en la variación del proceso de fabricación, diseñadas específicamente para este análisis. Infortunadamente no se encontraron dicho archivos dentro del PDK de la tecnología de 0.6 μm , pues los archivos encontrados no eran compatibles con el actual método de Synopsys para el calculo de peores casos.

Capítulo 5

Análisis de resultados

En el capítulo anterior, en diferentes secciones, se realizaron múltiples simulaciones para mostrar los resultados de las implementaciones realizadas. A continuación se realiza un análisis comparativo que nos muestra los resultados con y sin la técnica de Chopper, a nivel de esquemático e incluyendo efectos de los componentes parásitos del amplificador. Discutiremos la relevancia de cada uno de estos resultados en comparación con los demás del mismo tipo y con la literatura consultada sobre el tema, se hará hincapié en los resultados notablemente diferentes y se buscarán explicaciones, en la medida de lo posible.

En este punto cabe resaltar las diferencias producidas por el proceso de diseño en el esquemático original que fue tomado de [1]. El primer cambio fue la etapa de entrada, como conclusión del análisis de peores y mejores casos de polarización para el ruido en los transistores tipo N y P.

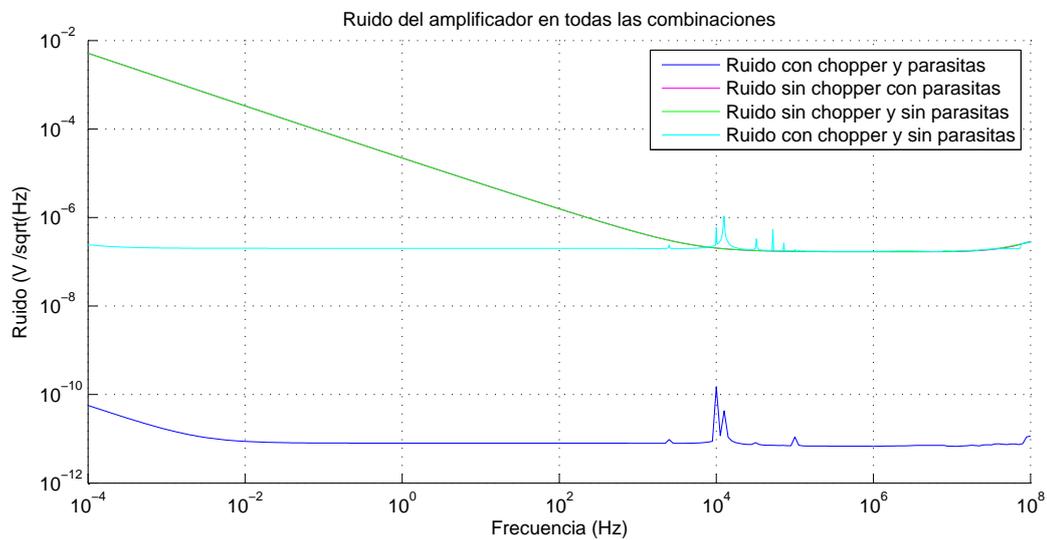


Figura 5.1: Ruido del amplificador con y sin Chopper, con y sin parásitos

En la figura 5.1 se muestra una comparación entre los niveles de ruido, con y sin Chopper, incluyendo y sin incluir los efectos de los componentes parásitos. Es notable la reducción de ruido que ocurre con la técnica de Chopper e incluyendo los efectos de los componentes parásitos.

El autor intuye -sin prueba alguna- que esto puede deberse al tamaño de las difusiones de metal con las que se realizaron las conexiones, que en ningún caso se hicieron de tamaño mínimo, pues la aplicación es de baja frecuencia, por consiguiente los retardos son poco relevantes y no constituyen un objetivo a cumplir. Finalmente es una incógnita, mas allá de los objetivos del proyecto, la razón por la cual se produce esta disminución de casi cuatro décadas, en el ruido referido a la entrada, incluyendo los efectos de las componentes parásitas.

A continuación, en la tabla 5.1 se comparan los resultados del proyecto con los obtenidos por otros autores, algunos de los cuales son referencia de este proyecto, infortunadamente se han reportado diferentes parámetros de los amplificadores lo que no permite comparaciones tan variadas como se quisiera, por este motivo se toman algunos ejemplos relevantes, unos en tecnología, otros en arquitectura.

	Este trabajo	[1]	[12]	[13]
Año de publicación	2015	2011	2002	2005
Técnica	<i>Chopper</i>	<i>Chopper</i>	<i>Chopper y Auto-Zero</i>	<i>Chopper y Auto-Zero</i>
Tecnología (μm)	0.6	0.18	0.6	0.18
Voltaje de fuente (V)	± 2.5	± 0.9	5	1
Consumo	1.37 mW	46.8 μW	4 mW	0.5 mW
Frecuencia de <i>Chopper</i> (kHz)	10	10	15	1000
Ruido referido a la entrada ($nV/\sqrt{\text{Hz}}$)	201.7/0.008 ¹	-	20	50
Área del Chip (mm^2)	0.18	- ²	0.67	0.88
Ruido integrado 0.1-150 Hz	30.14 μVrms /1.19 nVrms ¹	0.68 μVrms^2	-	-

Tabla 5.1: Tabla comparativa con amplificadores consultados en la literatura.

Las referencias mencionadas en la tabla 5.1 ([12],[13]), además, contienen comparativas con otras implementaciones, así es posible realizar una comparación más extensa, si el lector lo desea. Es deducible de la tabla 5.1 que la implementación realizada sobresale en el ruido referido a la entrada y esta en el rango de consumo de tecnologías similares, polarizadas con el mismo valor de fuente. Cabe mencionar que el área del amplificador en este caso solo incluye el amplificador, mientras que en las referencias incluyen etapas de polarización, generación de reloj y otros circuitos auxiliares.

Adicionalmente, en la tabla 5.2 se tienen las siguientes especificaciones, que fueron objetivo a lograr y que sobrepasan los mínimos requeridos de la aplicación.

Todas las especificaciones cumplen los mínimos de la aplicación y en algunos casos los exceden. La relación señal a ruido es calculada con el voltaje mínimo de la aplicación -50 μV - y con

¹ A nivel esquemático/Layout.

² No se realizó Layout.

Especificación	Valor
CMRR	168 db
Ganancia mínima re-alimentado	100 V/V (Por estabilidad).
Ganancia máxima re-alimentado	Aprox. 1000 V/V (Por ancho de banda).
Ancho de banda	1 kHz @ 50 db
Relación señal a ruido	92.44 db

Tabla 5.2: Especificaciones logradas del amplificador.

el ruido referido a la entrada, integrado en 0.1 y 150 Hz (que tiene valor de 1,19382 nVrms, incluyendo los efectos de las componentes parásitas).

Cabe resaltar, que las especificaciones aquí logradas no contemplan errores del proceso de fabricación, aunque se hayan usado técnicas para disminuir estos impactos, sería de esperar que las diferencias en los transistores afecten el CMRR, el SNR (relación señal a ruido) y por supuesto el ruido.

Capítulo 6

Conclusiones y Recomendaciones

Este capítulo es el resumen detallado de los hallazgos, logros e incógnitas que deja el proyecto. Se hace especial énfasis en los objetivos logrados y la comparación con la literatura consultada. Se hacen además recomendaciones especiales para futuras implementaciones similares y algunas más para quienes deseen seguir usando los programas de Synopsys® para la simulación e implementación de circuitos VLSI. Estas sugerencias son fruto de las observaciones del autor durante el largo proceso de instalación y debugging y las consultas realizadas respecto a los programas directamente con la empresa Synopsys®.

6.1. Conclusiones

- *Según los resultados obtenidos en el estudio de peores y mejores casos de polarización, respecto a ruido, la evidencia numérica indica que el mejor compromiso se encuentra polarizando el transistor en el borde de la región subthreshold, pues es en donde se encuentra la mejor relación entre la transconductancia y el ruido, para así mejorar el SNR (relación señal a ruido).*
- *Teniendo en cuenta el estudio de mejores y peores casos, aunque en contra de lo que en la literatura se ha reportado, los MOSFET tipo P no resultaron ser los mas indicados para la etapa de entrada. Aun así, no es concluyente que los transistores tipo N sean menos ruidosos en la tecnología de 0.6 μm de XFAB®, solamente lo son teniendo en cuenta la integral del ruido entre 1 mHz y 300 Hz, dentro de los tamaños sobre los que se realizaron las pruebas, para la misma corriente y bajo las mismas condiciones de polarización que su equivalente en tipo P.*
- *Según se reportó en la sección “Switches: Esquemático”, dentro del capítulo de desarrollo del proyecto, si la celda multiplicadora se encuentra entre transistores tipo P, debe ser realizada con transistores tipo P. Esto para asegurar que funcionen de la forma debida, pues se podría pensar que todas las celdas pueden realizarse con transistores tipo N, pero debido a los voltajes de polarización esto haría que los transistores estuvieran durante la mitad del periodo en saturación, dejando de cumplir su objetivo.*
- *De acuerdo con el análisis realizado en el capítulo de La Polarización y el Ruido, el peor caso de polarización respecto al ruido, es aumentar el voltaje Gate-Source hasta el borde*

de la región resistiva, pues aunque aumenta la transconductancia y por tanto la ganancia, también aumenta el ruido en mayor proporción.

- De los resultados de simulación con la técnica de Chopper, se puede concluir que ésta reduce el ruido $1/f$ y hace que tome forma casi idéntica al ruido blanco, con valor mayor al ruido blanco de alta frecuencia.
- Como ya había sido explicado en la referencia [6], la frecuencia de Chopp y su relación con la frecuencia del codo de ruido del amplificador, son altamente relevantes para la disminución de ruido de la técnica de Chopper. De forma particular, el amplificador diseñado posee un codo de ruido cercano a los 10 kHz, según los resultados de simulación expuestos en la sección: *Influencia de la Frecuencia de Chopper*, y es precisamente a esta frecuencia en que la técnica tiene un mayor impacto en la reducción del ruido según los resultados de simulación expuestos en la sección antes mencionada.
- De acuerdo con las simulaciones que incluyen las componentes parásitas extraídas del Layout, los efectos de componentes parásitos pueden mejorar o empeorar las prestaciones de un amplificador. Es, por tanto, altamente relevante realizar un buen Layout, preferiblemente hacerlo Full Custom¹, usando técnicas como matching y centroide común, entre otras, que mejoran las prestaciones del circuito e incluso disminuyen el impacto de los defectos que introduce el proceso de fabricación.
- Según lo analizado en la sección sobre los switches, las celdas multiplicadoras deben incluir transistores dummies antes y después de cada transistor principal, para disminuir los picos que se crean con la técnica de Chopper, mediante la transferencia de carga almacenada. Estos dummies, como se explicó en esta sección, deben ser de la mitad del tamaño del transistor principal.
- De acuerdo con el capítulo de Análisis de Resultados, los resultados obtenidos son congruentes con la literatura consultada, tanto en la reducción con la técnica de Chopper como en la escogencia de la frecuencia del Chopper.
- Como se explicó en la sección de Bode del Amplificador con Chopper, la simulación snac solo puede calcular Bodes si la solución encontrada por el algoritmo sn (Shooting-Newton) es de un solo tono. Es entonces necesario utilizar la simulación snfx que calcula la función de transferencia de todas las fuentes a un nodo del circuito, aunque la misma está diseñada para tener en cuenta traslación en frecuencia y por esto su respuesta contiene mas muchos términos de conversión en frecuencia, que no son útiles en la presente aplicación.
- Debido a que el PDK de la tecnología de 0.6 μm de XFAB®, no posee los archivos requeridos para realizar simulaciones de tipo Monte Carlo -Al menos con el método mas reciente de la herramienta Synopsys- el análisis de peores casos se realiza variando la polarización y el tamaño de los transistores a ser utilizados, para así formar los criterios a ser utilizados en el proceso de diseño.
- De acuerdo con el análisis de resultados, la disminución de ruido debido al efecto de las componentes parásitas, al utilizar la técnica de Chopper, es de aproximadamente cuatro décadas, respecto a la simulación en esquemático. Tanto el autor como el director de trabajo

¹Realizado completamente a mano por un diseñador especializado

de grado desconocen las verdaderas causas de estos resultados, los cuales valdrían la pena estudiar. Estas causas permanecen como incógnita puesto que no son de ninguna forma un objetivo del proyecto, se sugiere investigar más al respecto.

- En conclusión, se realizó el diseño de un amplificador de bajo ruido, en VLSI, que utiliza la técnica de Chopper para disminuir el ruido $1/f$, implementando la topología de [1], con las modificaciones necesarias de acuerdo al proceso de diseño. A este amplificador se le realizó el Layout correspondiente y se realizaron simulaciones, tanto a nivel de esquemático, como incluyendo los efectos de las componentes parásitas extraídas del Layout, que finalmente muestran que se cumplen las especificaciones encontradas en la revisión a la literatura y que están expuestas en la sección de Especificaciones a Lograr. Por otra parte, el objetivo de las simulaciones de peores casos es cumplido realizando la investigación sobre los mejores y peores casos de polarización y no por medio de simulaciones de tipo Monte Carlo, por las razones ya expuestas.

6.2. Recomendaciones

- El amplificador que se diseñó, por si solo es incapaz de anular el offset, por tanto al ser re-alimentado debe incluirse un filtro de muy bajas frecuencias, como el usado en [1]. Este filtro no se puede realizar a nivel de layout pues el condensador que se requiere ocuparía fácilmente toda el área del chip, por tanto se sugiere simularlo con un condensador ideal como parámetro concentrado. En la práctica dicho condensador se conectaría fuera del chip.
- Las simulaciones PAC (Periodic AC), en especial la *sn* (algoritmo Shooting-Newton), tiene mayor precisión si se realiza sobre más de un periodo de la señal que modifica la polarización, que, en el caso de este proyecto, serían las señales de reloj complementarias.
- La simulación *snac* solo puede calcular Bodes si la solución encontrada por el algoritmo de Shooting-Newton es de un solo tono ([11]), por este motivo se recomienda usar la simulación *snxf*, para al menos estimar la ganancia.
- El autor notó que cuando se realizan las conversiones a archivos de Matlab®, desde el visor de formas de onda de Synopsys, Custom Explorer, cuando los datos tienen valor negativo, el conversor no coloca un espacio antes del valor, lo que hace Matlab® interprete como una resta y no otra posición del arreglo. El autor sugiere agregar el espacio, usando las opción de remplazar del editor de Matlab®, teniendo en cuenta primero los demás signos negativos que puedan ser afectados.
- El autor también notó que si se extraen los datos de un Bode a Matlab®, usando Custom Explorer, el conversor coloca los valores como números complejos y una vez aumenta la frecuencia y la magnitud es menor a cero, cambia el signo del exponente de la parte imaginaria, lo que afecta fuertemente la magnitud. El autor recomienda tomar los datos de ganancia y fase por aparate, tomándolos en gráficas diferentes, lo que además los hará más sencillos de procesar, pues solo resta convertir la ganancia de V/V a dB.
- El autor recomienda, para futuros trabajos o implementaciones, ahondar en las causas de la fuerte reducción de ruido que se identificó al usar la técnica de Chopper sobre el circuito cuando este contemple los efectos de las componentes parásitas extraídas del Layout.

Capítulo 7

Anexos

Dado que el documento, debido a la calidad de las gráficas, excede el tamaño máximo, los anexos han sido consignados en los siguientes enlaces de acceso publico:

Anexo 1: Caracterización de ruido en la tecnología.

<https://www.dropbox.com/s/katj3a77czbwcle/Anexo1.pdf?dl=0>

Anexo 2: Layout de los Bloques del Amplificador

<https://www.dropbox.com/s/qh63ltxds70w90l/Anexo2.pdf?dl=0>

Bibliografía

- [1] X. Yang, Q. Cheng, L.-f. Lin, W.-w. Huang, and C.-d. Ling, "Design of low power low noise amplifier for portable electrocardiogram recording system applications," 2011 IEEE International Conference on Anti-Counterfeiting, Security and Identification, pp. 89–92, 2011.
- [2] C. Herle, S.; Man, S.; Lazea, G.; Robotin, R.; Marcu, "Myoelectrical signal classification for the hierarchical control of a human hand prosthesis," International Conference on Automation Quality and Testing Robotics (AQTR), 2010 IEEE, 2010.
- [3] J. D. Bronzino, "The Biomedical Engineering Handbook -," CRC Press LLC, IEEE Press., 2000.
- [4] Y. Nemirovsky, D. Corcos, I. Brouk, A. Nemirovsky, and S. Chaudhry, "1/f noise in advanced CMOS transistors," IEEE Instrumentation & Measurement Magazine, vol. 14, no. 1, 2011.
- [5] R. J. Baker, CMOS Circuit Design, Layout, and Simulation. IEEE Press, 2010.
- [6] C. Enz and G. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," Proceedings of the IEEE, vol. 84, no. 1, 1996.
- [7] C. Jakobson, I. Bloom, and Y. Nemirovsky, "1/F Noise in Cmos Transistors for Analog Applications From Subthreshold To Saturation," Solid-State Electronics, vol. 42, no. 10, pp. 1807–1817, 1998.
- [8] N. Y. Sutri, J. O. Dennis, M. H. Khir, T. B. Tang, and M. U. Mian, "Low-Noise , Low-offset Modulator Demodulator Circuit for Chopper Stabilization Technique in CMOS-MEMS Sensor Applications," Conference on Intelligent and Advanced Systems (ICIAS), 2014 5th International, pp. 1–5, 2014.
- [9] P. Khataavkar and S. Aniruddhan, "552 nW per channel 79 nV /sqrt(Hz) ECG Acquisition Front-end with Multi-Frequency Chopping," Biomedical Circuits and Systems Conference (BioCAS), 2014 IEEE, pp. 7–10, 2014.
- [10] J. G. Webster, Medical Instrumentation: Application and Design. New York: Wiley, 3rd ed., 1998.
- [11] Synopsys, "HSPICE ® User Guide : Advanced Analog Simulation and Analisis," 2013.

- [12] A. T. K. Tang, "A 3 μ V-offset operational amplifier with 20nV/sqrt(Hz) input noise PSD at DC employing both chopping and autozeroing," in IEEE ISSCC Dig. Tech. Papers, pp. 362–387, 2002.
- [13] T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki, and A. Iwata, "A 1V supply 50nV/sqrt(Hz) noise PSD CMOS amplifier using noise reduction technique of autozeroing and chopper stabilization," IEEE Symposium on VLSI Circuits, Digest of Technical Papers, vol. 2005, pp. 118–121, 2005.